



(21) 申请号 202110064002.7

(22) 申请日 2021.01.18

(65) 同一申请的已公布的文献号

申请公布号 CN 112864147 A

(43) 申请公布日 2021.05.28

(73) 专利权人 华南理工大学

地址 510640 广东省广州市天河区五山路
381号

(72) 发明人 朱浩慎 陈智睿 冯文杰 薛泉

(74) 专利代理机构 北京中睿智恒知识产权代理

事务所(普通合伙) 16025

专利代理师 邓大为

(51) Int.Cl.

H01L 25/16 (2006.01)

H01L 23/367 (2006.01)

H01L 23/538 (2006.01)

H01L 23/552 (2006.01)

H01L 23/66 (2006.01)

H01Q 1/22 (2006.01)

(56) 对比文件

CN 107564900 A, 2018.01.09

审查员 崔鲁娜

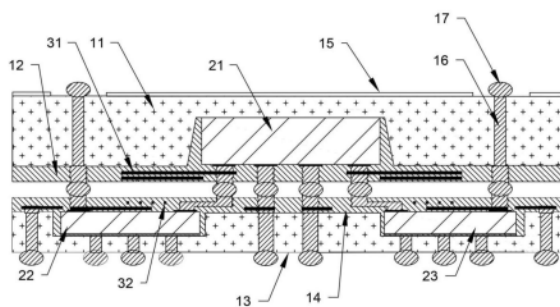
权利要求书1页 说明书4页 附图3页

(54) 发明名称

一种可组合式的三维多芯片封装结构

(57) 摘要

本发明公开了一种可组合式的三维多芯片封装结构,涉及新一代信息技术,针对现有技术中封装密度和芯片性能之间的矛盾问题提出本方案。包括层叠设置且留有间隙的上转接板和下转接板;两块转接板合理设置三块以上的芯片,而且垂直错开,再利用Via合理串联电性关系。优点在于,不同层的芯片封装可单独加工后进行组装,且封装形式多样实用,包括埋入式无源器件IPD、异质结构芯片、多层封装以及TSV/TGV等形式,为多样化多需求的射频系统封装提供了可靠的结构。



1. 一种可组合式的三维多芯片封装结构,其特征在于,包括层叠设置的上转接板(11)和下转接板(13);上转接板(11)和下转接板(13)之间留有间隙;

所述的上转接板(11)靠近下转接板(13)的侧面设有上再布线层(12);上转接板(11)上端面设有电磁屏蔽层(15),上再布线层(12)中部向上转接板(11)内延伸后设置第一芯片(21);上转接板(11)靠近边缘位置设有垂直贯通的Via,在第一芯片(21)底部设置若干Via连通上再布线层(12)下端面;所述的电磁屏蔽层(15)通过任一Via下引接地,用于将其下方的所有芯片与实际应用中位于其上方的天线辐射进行电性隔离;

所述的下转接板(13)靠近上转接板(11)的侧面设有下再布线层(14);下再布线层(14)靠近下转接板(13)边缘的部分向下转接板(13)内部凹陷,分别设置第二芯片(22)和第三芯片(23),使第二芯片(22)和第三芯片(23)均与所述第一芯片(21)在垂直方向上错开;下转接板(13)设有若干Via分别通过焊球对应连通上转接板(11)的所有Via;

所述第一芯片(21)的边缘部分,与所述第二芯片(22)和所述第三芯片(23)的边缘部分略有重叠,但中心有源区保持非重合状态;

所述的第一芯片(21)利用金属互连通过任一Via与第二芯片(22)和第三芯片(23)电性连接;

上再布线层(12)和/或下再布线层(14)内分别设有无源器件;所述的下转接板(13)在第二芯片(22)和第三芯片(23)的下方镂空后用热沉(33)封装;所述的下转接板(13)在下表面设有凹槽,位于下转接板(13)的焊球均设置在凹槽内;

所述的第一芯片(21)是硅基芯片,第二芯片(22)和第三芯片(23)是GaN或GaAs射频芯片。

2. 根据权利要求1所述可组合式的三维多芯片封装结构,其特征在于,下转接板(13)靠近边缘位置设有从下再布线层(14)垂直延伸至下端面的Via。

3. 根据权利要求1所述可组合式的三维多芯片封装结构,其特征在于,所述的无源器件是电阻、电感、电容中任意一种或任意组合。

4. 根据权利要求1-3任一所述可组合式的三维多芯片封装结构,其特征在于,各Via是TSV或TGV。

一种可组合式的三维多芯片封装结构

技术领域

[0001] 本发明涉及芯片封装结构,尤其涉及一种可组合式的三维多芯片封装结构。

背景技术

[0002] 随着5G乃至6G研究的开展,对通讯带宽的要求越来越大,因此通讯频率不断上升。在毫米波频段,空气损耗严重,波束赋形技术是提高覆盖距离的必要技术。目前毫米波通讯中所采用的大规模相控阵需要在特定的面积内集成大量有源通道。为了减小馈电损耗,毫米波前端往往与天线进行封装集成,因而天线/天线阵的尺寸和间距限制了芯片的大小。随着频率的上升和天线阵列规模的增大,电磁波的波长与芯片的尺寸相比拟,有源通道数量不断增加。尤其对于多芯片互连的异构集成架构的相控阵系统,芯片总面积可能大于相控阵模块的面积,因而三维堆叠的低损耗高可靠射频封装形式成为目前研究的热点。

发明内容

[0003] 本发明目的在于提供一种可组合式的三维多芯片封装结构,以实现高密度,低损耗以及高可靠性的射频前端封装技术。

[0004] 本发明所述可组合式的三维多芯片封装结构,包括层叠设置的上转接板和下转接板;上转接板和下转接板之间留有间隙;

[0005] 所述的上转接板靠近下转接板的侧面设有上再布线层;上转接板上端面设有电磁屏蔽层,上再布线层中部向上转接板内延伸后设置第一芯片;上转接板靠近边缘位置设有垂直贯通的Via,在第一芯片底部设置若干Via连通上再布线层下端面;

[0006] 所述的下转接板靠近上转接板的侧面设有下再布线层;下再布线层靠近下转接板边缘的部分向下转接板内部凹陷,分别设置两块以上的下层芯片,使所有下层芯片均与所述第一芯片在垂直方向上错开;下转接板设有若干Via分别通过焊球对应连通上转接板的所有Via;

[0007] 所述的第一芯片利用金属互连通过任一Via与任一下层芯片电性连接。

[0008] 下转接板靠近边缘位置设有从下再布线层垂直延伸至下端面的Via。

[0009] 上再布线层和/或下再布线层内分别设有无源器件。

[0010] 所述的无源器件是电阻、电感、电容中任意一种或任意组合。

[0011] 所述的下转接板在下层芯片下方镂空后用热沉封装。

[0012] 所述的下转接板13在下表面设有凹槽,位于下转接板13的焊球均设置在凹槽内。

[0013] 所述的下转接板在下层芯片下方设置若干Via连通下端面。

[0014] 各下层芯片互为同质或异质芯片,与第一芯片互为异质芯片。

[0015] 所述的第一芯片是硅基芯片,下层芯片是三五族芯片。三五族芯片如GaN基或GaAs基芯片。

[0016] 各Via是TSV或TGV。其中,TSV是硅基通孔,TGV是玻璃通孔。

[0017] 本发明所述可组合式的三维多芯片封装结构,其优点在于,封装形式多样实用,包

括埋入式无源器件IPD、异质结构芯片、多层封装以及TSV/TGV等形式,为多样化多需求的系统封装提供了可靠的结构。

[0018] 其中,采用错开形式的三维结构,尤其在多芯片的射频封装中,可以有效避免芯片有源面之间耦合的影响。采用埋入式IPD技术,占用面积小,可以进行电源去耦和调整阻抗匹配等,同时因为IPD寄生参数非常小,进一步提高了电路的精确度和可靠性。因下层芯片为毫米波前端芯片,采用III-V族工艺实现,功耗较大,因此放在下层,通过采用封装热沉或通过通孔导热的散热机制,极大提高了该封装结构的散热性能。在这种结构下,下转接板不仅起到提供散热的作用,还可以提供芯片的支撑和保护,提高可靠性。采用TSV/TGV技术,极大缩短了芯片间走线互连的距离,降低了传输损耗与时延,保证了信号传输的完整性。封装热沉和通孔还有个作用就是要接地,所以也需要高电导率的金属。因为下层的前端芯片一般为III-V族功率放大器或包含功率放大器的前端模组,一般背面是金属化的,需要良好接地。

[0019] 其中可组合式的优势在于其上下层可以分别进行加工,单独测试,再组装起来。具有缩短加工周期,提高最终成品的良率的优势。灵活度提高,可重用性好,比如,下层芯片改版后再重新组合的话,上层的芯片可以重复使用。对顶部天线的形式和工艺(如LTCC或HDI等)不限,只要接口一致,均可与本专利所实现的前端芯片封装实现互连。上下层转接板有一定的空隙,可降低芯片间相互干扰。

[0020] 下转接板的设计特点,改变了传统射频芯片封装方案。现有的射频前端芯片往往是靠近天线以减小传输损耗,通常直接安装在天线封装层下表面,但是焊球与芯片在同一水平面上,这就不得不使焊球高度大于芯片厚度,进而产生大直径焊球而无法达到高密度I/O的需求。同时,在多芯片封装中,因芯片厚度可能存在差异,当对这些芯片进行封装热沉处理时,会产生额外的工艺要求。本发明将射频前端的各下层芯片下移到下转接板中,焊球与下层芯片分别在不同水平面,互不干扰,有效避免了大直径焊球的需求,从而提高了I/O的密度。在多芯片封装的散热上,也无需去考虑不同芯片的高度差异。

附图说明

[0021] 图1是本发明所述三维多芯片封装结构实施例一的结构示意图。

[0022] 图2是本发明所述三维多芯片封装结构实施例二的结构示意图。

[0023] 图3是本发明所述三维多芯片封装结构实施例三的结构示意图。

[0024] 图4是本发明所述三维多芯片封装结构实施例四的结构示意图。

[0025] 图5是本发明所述三维多芯片封装结构实施例五的结构示意图。

[0026] 附图标记:11-上转接板、12-上再布线层、13-下转接板、14-下再布线层、15-电磁屏蔽层、16-Via、17-焊球;21-第一芯片、22-第二芯片、23-第三芯片;31-电容、32-电感、33-热沉。

具体实施方式

[0027] 实施例一

[0028] 如图1所示,本发明所述可组合式的三维多芯片封装结构包括层叠设置的上转接板11和下转接板13。上转接板11和下转接板13之间留有间隙。

[0029] 所述的上转接板11靠近下转接板13的侧面设有上再布线层12。上转接板11上端面设有电磁屏蔽层15,上再布线层12中部向上转接板11内延伸后设置第一芯片21。上转接板11靠近边缘位置设有垂直贯通的Via,在第一芯片21底部设置若干Via连通上再布线层12下端面。所述的电磁屏蔽层15通过任一Via下引接地,用于将其下方的所有芯片与实际应用中位于其上方的天线辐射进行电性隔离。上转接板11中,位于上表面的焊球为与天线的接口。

[0030] 所述的下转接板13靠近上转接板11的侧面设有下再布线层14。下再布线层14靠近下转接板13边缘的部分向下转接板13内部凹陷,分别设置第二芯片22和第三芯片23。下转接板13设有若干Via分别通过焊球对应连通上转接板11的所有Via。下转接板13靠近边缘位置设有从下再布线层14垂直延伸至下端面的Via,在第二芯片22和/或第三芯片23下方镂空后用热沉33封装。热沉是具有高热导率、高电导率、低热膨胀系数的金属或合金材料,例如钼铜。

[0031] 为了便于表述发明方案,本实施例的下层芯片数量设置为二。当然,本领域技术人员在本发明相同的构思下,可以将芯片数量按实际需要进行拓展。对于下层芯片的具体数量,可以为三、四、五至更多,只需与所述第一芯片形成错开布局即可实现一对多的封装设计方案。

[0032] 所述的第一芯片21利用金属互连通过任一Via与第二芯片22和/或第三芯片23电性连接。金属互连在上再布线层和下再布线层均分别设置。

[0033] 所述的第二芯片22和第三芯片23是同质或异质芯片,与第一芯片21互为异质芯片。具体为:所述的第一芯片21是硅基芯片;第二芯片22和第三芯片23是三五族芯片中的一种或多种,如GaN或GaAs射频芯片。第二芯片22和第三芯片23均与所述第一芯片21在垂直方向上错开,第一芯片21的边缘部分与第二芯片22和第三芯片23的边缘部分略有重叠,但中心有源区保持非重合状态。

[0034] 各Via是TSV或TGV,且所有Via外露的端部均对应设有一焊球。Via用于埋入导电金属,电性连通上转接板11和下转接板13内的各电气元件。

[0035] 实施例二

[0036] 如图2所示,与实施例一区别主要在于上再布线层12和/或下再布线层14内分别设有无源器件。所述的无源器件为埋入式设置,可以是电阻或电容或电感或变压器等,或其中多种任意组合。无源器件根据需要分别与第一芯片21或第二芯片22或第三芯片23电性连接。

[0037] 实施例三

[0038] 如图3所示,与实施例二区别主要在于所述的下转接板13在第二芯片22和/或第三芯片23下方设置若干Via连通下端面。所述若干Via用于替代实施例一、二中的热沉。在无法实现封装热沉的情况下,例如热沉的嵌入对可靠性有较大影响时,可考虑用via的方式来实现高效散热和接地。

[0039] 实施例四

[0040] 如图4所示,与实施例三区别主要在于第一芯片21的整体平面在垂直方向均与第二芯片22和第三芯片23的边缘部分没有重叠,即三个芯片是完全错开。

[0041] 本发明所述可组合式的三维多芯片封装结构的第一芯片与第二、第三芯片形成错开排列的三维结构,在提高集成度的同时有效避免了芯片有源面之间耦合的影响;上下间

隙层叠设置以及Via的合理分布,实现良好的散热结构,再使用封装热沉或通孔进行散热;上下再布线层内设有埋入式IPD以起到改善阻抗匹配和电源去耦的作用;通过TSV/TGV技术构成垂直互联结构,可以大幅缩短互连线长度。

[0042] 实施例五

[0043] 如图5所示,与实施例二区别主要在于所述的下转接板13在下表面设有凹槽,位于下转接板13的焊球均设置在凹槽内。将焊球对应部分的下转接板进行开槽,使得焊球的部分高度嵌入下转接板中,从而减少下层芯片底部到PCB的缝隙,可实现了下层芯片封装热沉与PCB散热材料的良好接触,提升散热效率。

[0044] 对于本领域的技术人员来说,可根据以上描述的技术方案以及构思,做出其它各种相应的改变以及形变,而所有的这些改变以及形变都应该属于本发明权利要求的保护范围之内。

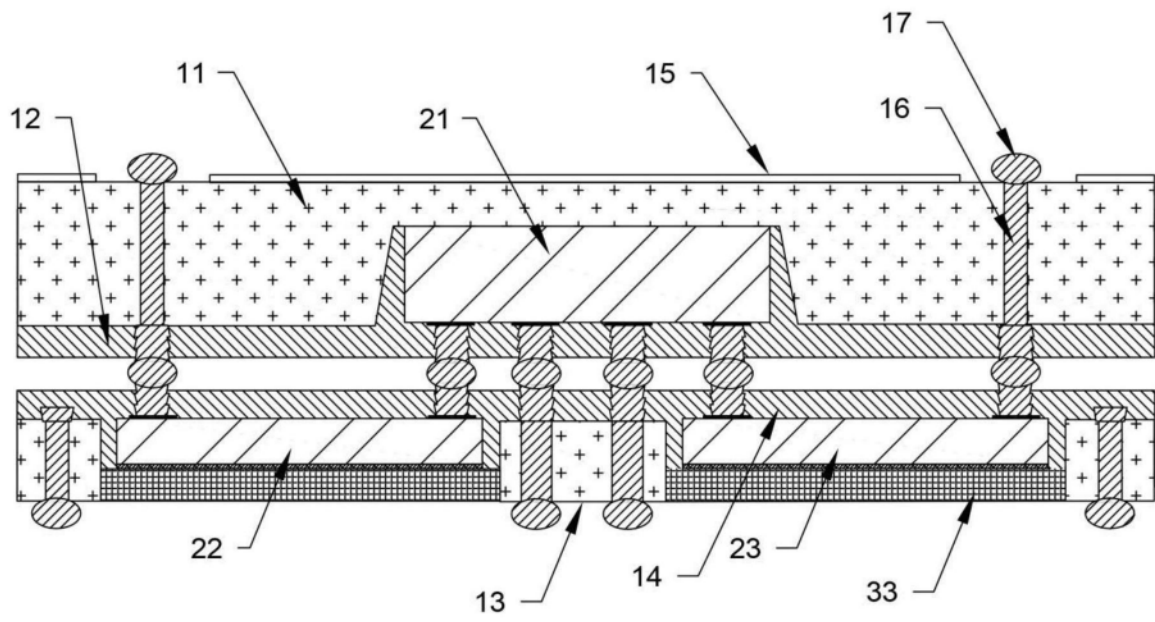


图1

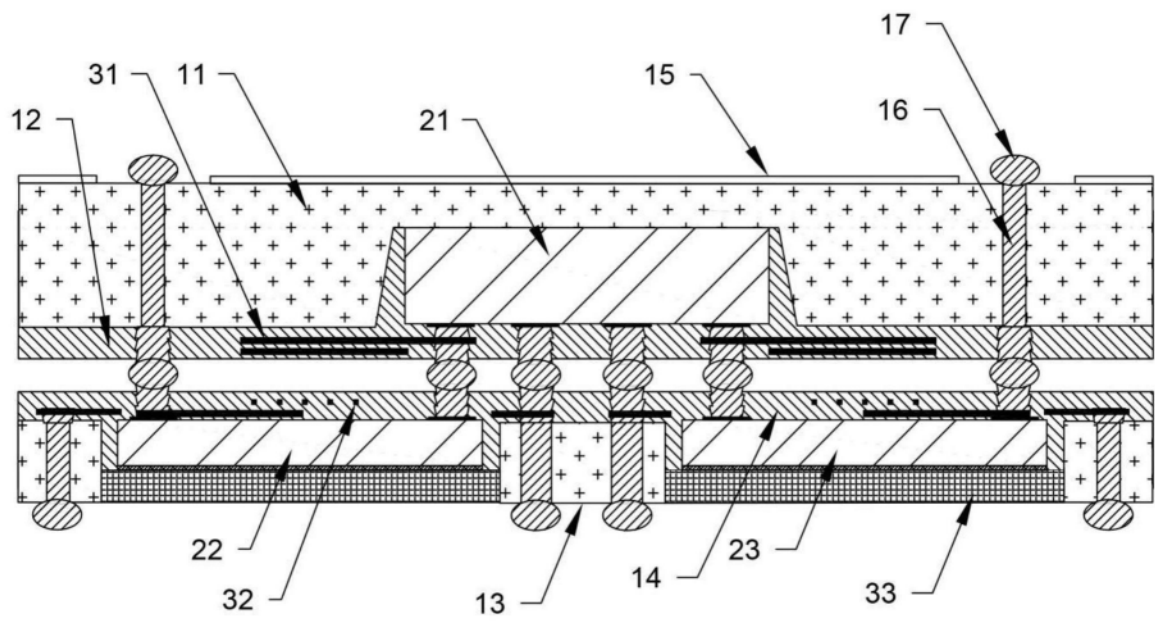


图2

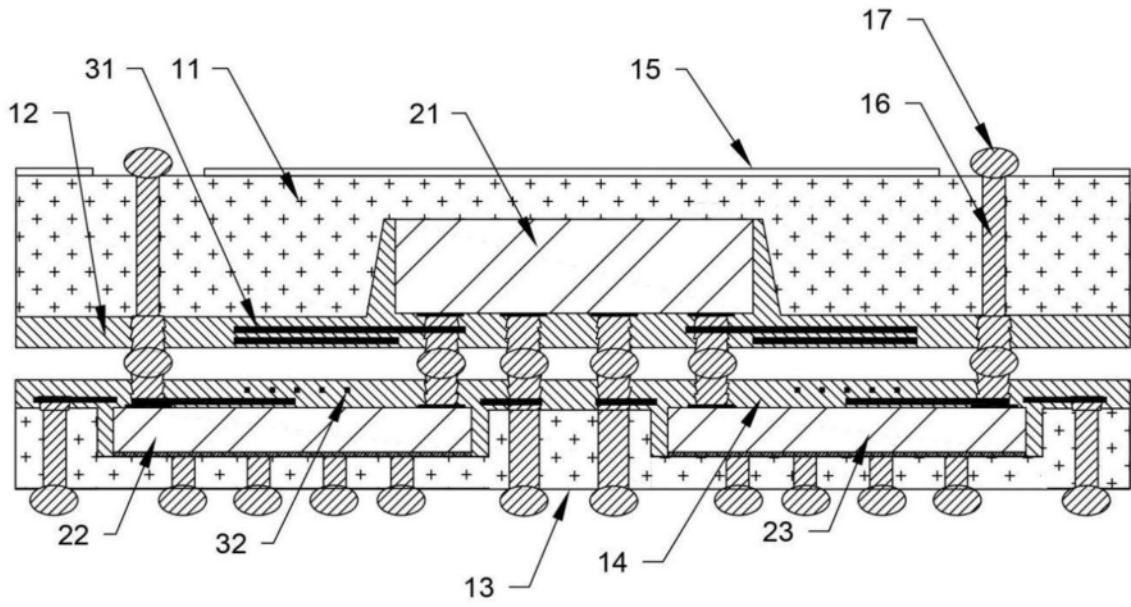


图3

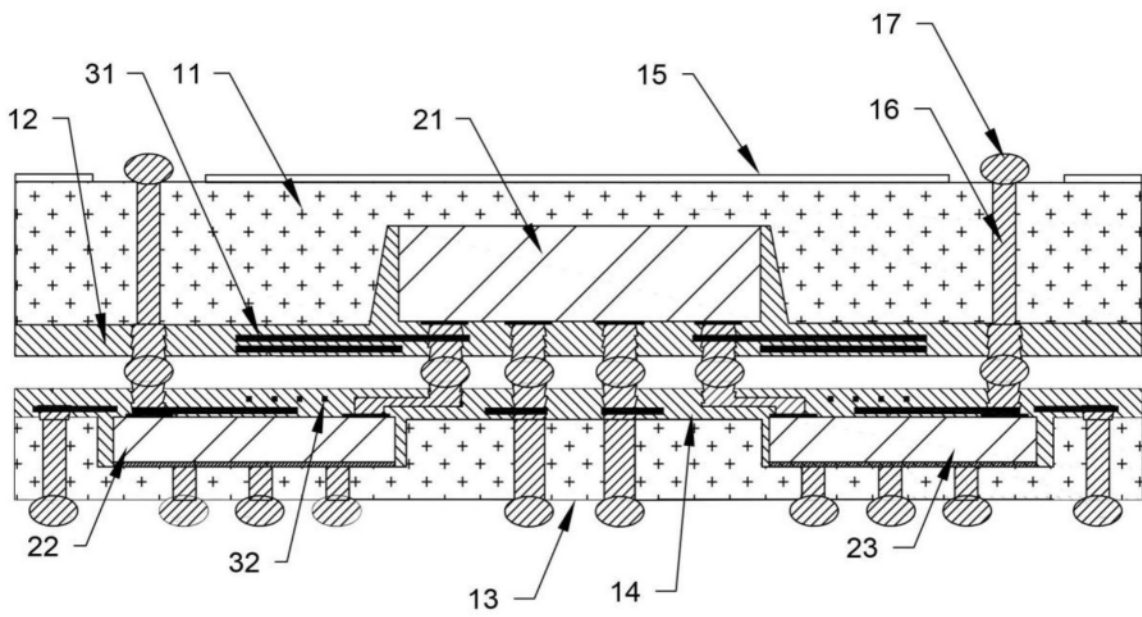


图4

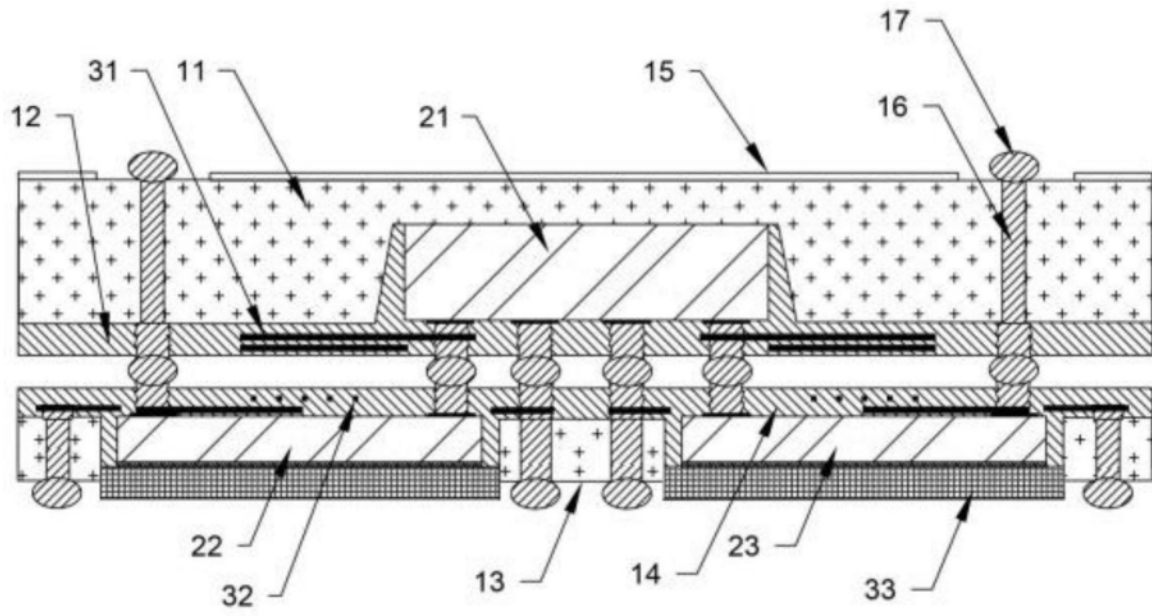


图5