



# (12)实用新型专利

(10)授权公告号 CN 209642642 U

(45)授权公告日 2019. 11. 15

(21)申请号 201821473585.9

(22)申请日 2018.09.10

(73)专利权人 佛山科学技术学院

地址 528225 广东省佛山市南海区狮山镇  
仙溪水库西路佛山科学技术学院

(72)发明人 杨波

(74)专利代理机构 广州新诺专利商标事务所有  
限公司 44100

代理人 许英伟

(51)Int.Cl.

H03K 23/40(2006.01)

(ESM)同样的发明创造已同日申请发明专利

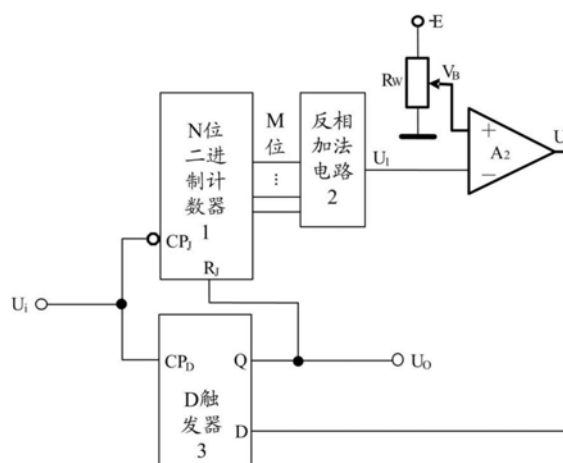
权利要求书1页 说明书7页 附图7页

## (54)实用新型名称

一种分频电路、分频装置及电子设备

## (57)摘要

本实用新型公开了一种分频电路、分频装置及电子设备,包括:N位二进制计数器、反相加法电路、电压比较器、可调电位器和D触发器;N位二进制计数器从其输出端最低位开始的M位输出端按照权位由低到高的顺序依次与反相加法电路的M位输入端相连,反相加法电路的输出端与电压比较器的反相输入端相连,电压比较器的同相输入端与电位器的滑动端相连,电压比较器的输出端与D触发器的数据输入端相连,D触发器的输出端与N位二进制计数器的复位端相连,可调电位器的第一接线端接地,第二接线端连接标准电源。采用本实用新型的分频电路、分频装置及电子设备可实现连续调节分频频率,其分配调节速度快,便于使用。



1. 一种分频电路,其特征在于,包括:N位二进制计数器、反相加法电路、电压比较器、可调电位器和D触发器;其中,所述N位二进制计数器和所述D触发器采用不同触发条件进行触发;

所述N位二进制计数器从其输出端最低位开始的M位输出端按照权位由低到高的顺序依次与所述反相加法电路的M位输入端相连;其中,N和M均为整数,且 $1 \leq M \leq N$ ;

所述反相加法电路的输出端与所述电压比较器的反相输入端相连,所述电压比较器的同相输入端与所述可调电位器的滑动端相连,所述电压比较器的输出端与所述D触发器的数据输入端相连,所述D触发器的输出端与所述N位二进制计数器的复位端相连,所述可调电位器的第一接线端接地,第二接线端接标准电压;

当所述N位二进制计数器进行计数时,所述反相加法电路按照所述计数向所述电压比较器的反相输入端输入电压值递减的第一电压信号,所述可调电位器向所述电压比较器的同相输入端输入比较电压信号,所述电压比较器在所述第一电压信号小于所述比较电压信号时向所述D触发器输出高电平,使得所述D触发器发生翻转,所述D触发器的输出端输出一个脉冲以实现分频;其中,所述D触发器的输出端作为所述分频电路的输出端。

2. 如权利要求1所述的分频电路,其特征在于,所述N位二进制计数器具有N个输出端, $2 \leq N \leq 10$ 。

3. 如权利要求2所述的分频电路,其特征在于,所述反相加法电路包括:M个输入电阻、运算放大器和1个反馈电阻;其中,

所述N位二进制计数器的N个输出端中的第i输出端通过M个输入电阻中的第i电阻与所述运算放大器的反相输入端相连,所述运算放大器的同相输入端接地;所述第i电阻的电阻值是第i+1电阻的电阻值的两倍,i为整数,且 $1 \leq i \leq M$ ;

所述反馈电阻连接于所述运算放大器的反相输入端和输出端之间。

4. 如权利要求3所述的分频电路,其特征在于,所述第i电阻的电阻值满足以下条件:

$$R_i = \frac{R}{2^{i-1}};$$

其中,R为预选的固定电阻值。

5. 如权利要求1所述的分频电路,其特征在于,所述N位二进制计数器采用输入时钟信号的下降沿作为触发条件,所述D触发器采用所述输入时钟信号的上升沿作为触发条件。

6. 如权利要求1所述的分频电路,其特征在于,所述N位二进制计数器采用输入时钟信号的上升沿作为触发条件,所述D触发器采用所述输入时钟信号的下降沿作为触发条件。

7. 如权利要求1所述的分频电路,其特征在于,所述可调电位器包括线绕电位器。

8. 如权利要求1所述的分频电路,其特征在于,所述N位二进制计数器为COMS集成计数器,所述D触发器为COMS集成D触发器。

9. 一种分频装置,其特征在于,包括如权利要求1~8中任一项所述的分频电路。

10. 一种电子设备,其特征在于,包括如权利要求9所述的分频装置。

## 一种分频电路、分频装置及电子设备

### 技术领域

[0001] 本实用新型涉及数字电子技术领域,尤其涉及一种分频电路、分频装置及电子设备。

### 背景技术

[0002] 时钟信号作为时序电路的同步信号,在时序电路中起着至关重要的作用,因此,分频电路被广泛应用于数字电子及测控技术中。由于时序电路中各个模块需输入不同频率的时钟信号,故需要采用分频电路对输入时钟信号进行分频,以满足时序电路中各个模块的需求。

[0003] 目前,分频电路主要是利用单片机给计数器预置一个数字,使计数器对输入时钟信号进行加计数溢出或进行减计数借位,单片机再根据计数器的溢出或借位输出时钟信号,实现分频。当需要调节该分频电路的分频频率时,就需要向单片机重新预置数字,因此现有的分频电路因无法连续调节分频频率而导致其存在分频调节速度慢的问题,不便于使用。

### 实用新型内容

[0004] 针对上述问题,本实用新型的一种分频电路、分频装置及电子设备,可实现连续调节分频频率,其分配调节速度快,便于使用。

[0005] 为解决上述技术问题,本实用新型的一种分频电路,包括:N位二进制计数器、反相加法电路、电压比较器、可调电位器和D触发器;其中,所述N位二进制计数器和所述D触发器采用不同触发条件进行触发;

[0006] 所述N位二进制计数器从其输出端最低位开始的M位输出端按照权位由低到高的顺序依次与所述反相加法电路的M位输入端相连;其中,N和M均为整数,且 $1 \leq M \leq N$ ;

[0007] 所述反相加法电路的输出端与所述电压比较器的反相输入端相连,所述电压比较器的同相输入端与所述可调电位器的滑动端相连,所述电压比较器的输出端与所述D触发器的数据输入端相连,所述D触发器的输出端与所述N位二进制计数器的复位端相连,所述可调电位器的第一接线端接地,第二接线端接标准电压;

[0008] 当所述N位二进制计数器进行计数时,所述反相加法电路按照所述计数向所述电压比较器的反相输入端输入电压值递减的第一电压信号,所述可调电位器向所述电压比较器的同相输入端输入比较电压信号,所述电压比较器在所述第一电压信号小于所述比较电压信号时向所述D触发器输出高电平,使得所述D触发器发生翻转,所述D触发器的输出端输出一个脉冲以实现分频;其中,所述D触发器的输出端作为所述分频电路的输出端。

[0009] 与现有技术相比,本实用新型的分频电路一方面通过N位二进制计数器对输入时钟信号进行计数,使反相加法电路输出的第一电压信号按计数从0开始成正比地逐渐递减,即第一电压信号是负向的等距阶梯波电压信号;另一方面,该分频电路通过调节可调电位器的大小来调节比较电压信号的大小,进而利用比较电压信号来调节分频的分频系数;最

终通过电压比较器将第一电压信号和比较电压信号进行比较来控制D触发器实现对输入时钟信号的分频。由于该分频电路是利用可调电位器对比较电压信号进行连续调节,从而可实现分频频率的连续调节的,可避免采用单片机预置数字方式调节分频系数带来的调节速度慢的问题,能有效提高分频系数的调节速度;并且,由于该分频电路是闭环系统因此调节比较电压信号可自动跟踪输出分频后的输入时钟信号,便于使用。

[0010] 作为上述方案的改进,所述N位二进制计数器具有N个输出端; $2 \leq N \leq 10$ 。

[0011] 作为上述方案的改进,所述反相加法电路包括:M个输入电阻、运算放大器和1个反馈电阻;M为整数,且 $1 \leq M \leq N$ ;其中,

[0012] 所述N位二进制计数器的N个输出端中的第i输出端通过M个输入电阻中的第i电阻与所述运算放大器的反相输入端相连,所述运算放大器的同相输入端接地;第i电阻的电阻值是第i+1电阻的电阻值的两倍,i为整数,且 $1 \leq i \leq M$ ;

[0013] 所述反馈电阻连接于所述运算放大器的反相输入端和输出端之间。

[0014] 作为上述方案的改进,所述第i电阻的电阻值满足以下条件:

$$[0015] \quad R_i = \frac{R}{2^{i-1}};$$

[0016] 其中,R为预选的固定电阻值。

[0017] 作为上述方案的改进,所述N位二进制计数器采用所述输入时钟信号的下降沿作为触发条件,所述D触发器采用所述输入时钟信号的上升沿作为触发条件。

[0018] 作为上述方案的改进,所述二进制计数器采用所述输入时钟信号的上升沿作为触发条件,所述D触发器采用所述输入时钟信号的下降沿作为触发条件。

[0019] 作为上述方案的改进,所述可调电位器包括线绕电位器。

[0020] 作为上述方案的改进,所述N位二进制计数器为COMS集成计数器,所述D触发器为COMS集成D触发器。

[0021] 为解决上述技术问题,本实用新型还提供一种分频装置,包括上述任意一种分频电路。

[0022] 本实用新型还提供一种电子设备,包括上述分频装置。

## 附图说明

[0023] 图1是本实用新型实施例1的一种分频电路的结构示意图。

[0024] 图2是本实用新型实施例2中N=2的分频电路的结构示意图。

[0025] 图3是本实用新型实施例2中N=2、M=2的分频电路中主要工作点的工作波形示意图。

[0026] 图4是本实用新型实施例2中N=6、M=6的分频电路的结构示意图。

[0027] 图5是本实用新型实施例2中N=10、M=10的分频电路的结构示意图。

[0028] 图6是本实用新型实施例2中N=10、M=6的分频电路的结构示意图。

[0029] 图7是本实用新型实施例2中N=10、M=6的分频电路中主要工作点的工作波形示意图。

## 具体实施方式

[0030] 在下面的描述中阐述了很多具体细节以便于充分理解本实用新型。但是本实用新型能够以很多不同于此描述的其他方式来实施,本领域技术人员可以在不违背本实用新型内涵的情况下做类似推广,因此本实用新型不受下面公开的具体实施例的限制。

[0031] 下面结合具体实施例和附图对本实用新型的技术方案进行清楚、完整的描述。

### [0032] 实施例1

[0033] 如图1所示,是本实用新型的一种分频电路,该电路包括:N位二进制计数器1、反相加法电路2、电压比较器A2、可调电位器 $R_w$ 和D触发器3;其中,N位二进制计数器1从其输出端最低位开始的M位输出端按照权位由低到高的顺序从最低位开始依次与反相加法电路2的M位输入端相连,M和N均为整数,且 $1 \leq M \leq N$ ;反相加法电路2的输出端与电压比较器A2的反相输入端相连,电压比较器A2的同相输入端与可调电位器 $R_w$ 的滑动端相连,电压比较器A2的输出端与D触发器3的数据输入端D相连,D触发器3的输出端Q与N位二进制计数器1的复位端 $R_J$ 相连并作为分频电路的输出端 $U_o$ ,可调电位器 $R_w$ 的第一接线端接地,第二接线端接标准电压 $-E$ ;当N位二进制计数器1进行计数时,反相加法电路2按照计数向电压比较器A2的反相输入端输入电压值递减的第一电压信号,可调电位器 $R_w$ 向电压比较器A2的同相输入端输入比较电压信号,电压比较器A2在第一电压信号小于比较电压信号时向D触发器3输出高电平,使得D触发器3的输出端Q输出高电平以实现分频。

[0034] 在本实用新型的分频电路中,输入时钟信号 $U_i$ 输入至N位二进制计数器1的时钟端 $CP_J$ 和D触发器3的时钟端 $CP_D$ ,在本实用新型中需采用不同触发条件分别对N位二进制计数器1和D触发器3进行触发。例如,当N位二进制计数器1采用输入时钟信号 $U_i$ 的下降沿作为触发条件时,D触发器3采用输入时钟信号 $U_i$ 的上升沿作为触发条件;当N位二进制计数器1采用输入时钟信号 $U_i$ 的上升沿作为触发条件时,D触发器3采用输入时钟信号 $U_i$ 的下降沿作为触发条件。由于分频电路采用两种触发方式的工作过程相似,因而在本实用新型的实施例中,以N位二进制计数器1采用输入时钟信号 $U_i$ 的下降沿作为触发条件,D触发器3采用输入时钟信号 $U_i$ 的上升沿作为触发条件为例进行说明,对于另一种触发方式不再赘述。

[0035] 下面结合附图1对实施例1中分频电路的工作过程进行说明。

[0036] 本实用新型实施例1中分频电路的工作过程为:当N位二进制计数器1从0开始进行计数时,N位二进制计数器1的计数每增加1时,反相加法电路2输出的第一电压信号 $U_1$ 就从0V开始递减一个固定电压 $\Delta U_1$ ,即第一电压信号 $U_1$ 是负向的等距阶梯波电压信号;反相加法电路2将该第一电压信号 $U_1$ 输出至电压比较器A2的反相输入端,可调电位器 $R_w$ 向电压比较器A2的同相输入端输入比较电压信号 $V_B$ ,电压比较器A2在第一电压信号 $U_1$ 大于比较电压信号 $V_B$ 时向D触发器3输出低电平,D触发器3的输出端Q输出低电平,则加到N位二进制计数器1的复位端 $R_J$ 的电平为低电平,N位二进制计数器1继续计数,第一电压信号 $U_1$ 继续递减;当反相加法电路2输出的第一电压信号 $U_1$ 小于比较电压信号 $V_B$ 时,电压比较器A2向D触发器3的数据输入端D输出高电平,使得D触发器3的输出端Q输出高电平,则加到N位二进制计数器1的复位端为高电平,N位二进制计数器1被清0,同时第一电压信号 $U_1$ 也回到0V,N位二进制计数器1又从0开始进行计数,周而复始以实现分频。

[0037] 与现有技术相比,本实用新型的分频电路一方面通过N位二进制计数器1对输入时钟信号 $U_i$ 进行计数,使反相加法电路2输出的第一电压信号 $U_1$ 按计数从0开始成正比地逐

渐递减,即第一电压信号 $U_1$ 是负向的等距阶梯波电压信号;另一方面,该分频电路通过调节可调电位器 $R_W$ 的大小来调节比较电压信号 $V_B$ 的大小,进而利用比较 $V_B$ 来调节分频的分频系数;另外,最终通过电压比较器 $A_2$ 将第一电压信号 $U_1$ 和比较电压信号 $V_B$ 进行比较来控制D触发器3实现对输入时钟信号的分频。由于该分频电路是利用可调电位器 $R_W$ 对比较电压信号进行连续调节,从而可实现分频频率的连续调节,可避免采用单片机预置数字方式调节分频系数带来的调节速度慢的问题,能有效提高分频系数的调节速度;并且,由于该分频电路是闭环系统因此调节比较电压信号可自动跟踪输出分频后的输入时钟信号,便于使用。

[0038] 优选地,该分频电路中的可调电位器 $R_W$ 采用线绕电位器,以实现比较电压信号 $V_B$ 的连续线性地调节。

[0039] 实施例2

[0040] 该实施例2除了包括实施例1中的全部技术特征之外,还包括:该N位二进制计数器具有N个输出端; $2 \leq N \leq 10$ 。

[0041] 进一步地,该反相加法电路2包括:M个输入电阻、运算放大器和1个反馈电阻;M为整数,且 $1 \leq M \leq N$ ;其中,N位二进制计数器的N个输出端中的第i输出端通过M个输入电阻中的第i电阻与运算放大器的反相输入端相连,运算放大器的同相输入端接地;第i电阻的电阻值是第i+1电阻的电阻值的两倍,i为整数,且 $1 \leq i \leq M$ ;反馈电阻连接于运算放大器的反相输入端和输出端之间。

[0042] 接下来,以 $N=2$ 、 $M=2$ ,输入时钟信号 $U_i$ 的频率为 $f_i$ ,二位二进制计数器1的两个输出端 $Q_2$ 或 $Q_1$ 输出高电平时所对应的电压相等,记为 $V_H$ 、输出低电平时所对应的电压相等,为0V,结合附图2和附图3对实施例2中分频电路的工作过程进行详细说明。

[0043] 如图2所示,第一输入电阻 $R_1$ 、第二输入电阻 $R_2$ 、反馈电阻 $R_F$ 和运算放大器 $A_1$ 构成反相加法电路2,其中, $R_1=R$ , $R_2=R/2$ 。

[0044] 当二位二进制计数器11的输出端“ $Q_2Q_1$ ”为“00”时, $U_1=0V$ ;当“ $Q_2Q_1$ ”为“01”时, $U_1=-\frac{R_F}{R}V_H$ ;当“ $Q_2Q_1$ ”为“10”时, $U_1=-\frac{2R_F}{R}V_H$ ;当“ $Q_2Q_1$ ”为“11”时, $U_1=-3\frac{R_F}{R}V_H$ 。

[0045] 在该分频电路中,调节可调电位器 $R_W$ 的电阻值可实现对比较电压信号 $V_B$ 的调整。当比较电压信号 $V_B$ 被调至 $-3\frac{R_F}{R}V_H < V_B < -2\frac{R_F}{R}V_H$ 时:

[0046] 设定二位二进制计数器11从零开始计数,则“ $Q_2Q_1$ ”为“00”,此时, $U_1=0V$ , $U_1 > V_B$ ,电压比较器 $A_2$ 的输出端输出低电平至D触发器3的数据输入端D,即 $U_2=0$ , $D=0$ ;

[0047] 当输入时钟信号 $U_i$ 中的第1个时钟脉冲输入时,D触发器3在其上升沿的作用下,其输出端Q输出低电平至二位二进制计数器11的复位端 $R_J$ ,即 $Q=0$ , $R_J=0$ ,此时,该分频电路的输出端 $U_0$ 输出低电平,即 $U_0=0$ ,并且二位二进制计数器11保持计数状态并在其下降沿的作用下加1,则“ $Q_2Q_1$ ”为“01”,此时, $U_1=-\frac{R_F}{R}V_H$ , $U_1 > V_B$ ,电压比较器 $A_2$ 输出低电平至D触发器

3的数据输入端D,即 $U_2=0$ , $D=0$ ;

[0048] 当输入时钟信号 $U_i$ 中的第2个时钟脉冲输入时,D触发器3在其上升沿的作用下,其输出端Q输出低电平至二位二进制计数器11的复位端 $R_J$ ,即 $Q=0$ , $R_J=0$ ,此时,该分频电路的输出端 $U_0$ 输出低电平,即 $U_0=0$ ,该二位二进制计数器11保持计数状态并在其下降沿的作

用下加1,则“Q<sub>2</sub>Q<sub>1</sub>”为“10”,此时, $U_1 = -2\frac{R_F}{R}V_H$ ,  $U_1 > V_B$ ,电压比较器A<sub>2</sub>输出低电平至D触发器3的数据输入端D,即 $U_2 = 0$ ,  $D = 0$ ;

[0049] 当输入时钟信号U<sub>i</sub>中的第3个时钟脉冲输入时,D触发器3在其上升沿的作用下,其输出端Q输出低电平至二位二进制计数器11的复位端R<sub>J</sub>,即 $Q = 0$ ,  $R_J = 0$ ,此时,该分频电路的输出端U<sub>0</sub>输出低电平,即 $U_0 = 0$ ,并且二位二进制计数器11保持计数状态并在其下降沿的作用下加1,则“Q<sub>2</sub>Q<sub>1</sub>”为“11”,此时, $U_1 = -3\frac{R_F}{R}V_H$ ,  $U_1 < V_B$ ,电压比较器A<sub>2</sub>输出高电平至D触发器3的数据输入端D,即 $U_2 = 1$ ,  $D = 1$ ;

[0050] 当输入时钟信号U<sub>i</sub>中的第4个时钟脉冲输入时,D触发器3在其上升沿的作用下,其输出端Q输出高电平至二位二进制计数器11的复位端R<sub>J</sub>,即 $Q = 1$ ,  $R_J = 1$ ,此时,该分频电路的输出端U<sub>0</sub>输出高电平,即 $U_0 = 1$ ;该二位二进制计数器11复位,则“Q<sub>2</sub>Q<sub>1</sub>”为“00”,该分频电路循环上述过程,得到分频后的时钟信号。

[0051] 在该实施例中,通过调节可调电位器R<sub>w</sub>,使比较电压信号V<sub>B</sub>位于 $-3\frac{R_F}{R}V_H$ 与 $-2\frac{R_F}{R}V_H$ 之间,该分频电路通过二位二进制计数器11从0开始计数,使得反相加法电路2输出至电压比较器A<sub>2</sub>反相输入端的第一电压信号U<sub>1</sub>从0开始以 $\Delta U_1 = -\frac{R_F}{R}V_H$ 等距逐渐递减形成负向的阶梯波电压信号,进而电压比较器A<sub>2</sub>每隔4个时钟脉冲向D触发器3输出高电平,进而D触发器3发生翻转,D触发器3的输出端Q输出一个脉冲,从而得到分频后的脉冲信号U<sub>0</sub>,实现对输入时钟信号的分频;其中,分频后的时钟信号的频率为 $f_o = f_i / (K+1)$ ,其中,K为整数且 $K > 0$ ,K为D触发器3发生翻转时二位二进制计数器11所对应的十进制数,即 $K = 3$ , $f_o = f_i / 4$ 。

出至电压比较器A<sub>2</sub>反相输入端的第一电压信号U<sub>1</sub>从0开始以 $\Delta U_1 = -\frac{R_F}{R}V_H$ 等距逐渐递减形成负向的阶梯波电压信号,进而电压比较器A<sub>2</sub>每隔4个时钟脉冲向D触发器3输出高电平,进而D触发器3发生翻转,D触发器3的输出端Q输出一个脉冲,从而得到分频后的脉冲信号U<sub>0</sub>,实现对输入时钟信号的分频;其中,分频后的时钟信号的频率为 $f_o = f_i / (K+1)$ ,其中,K为整数且 $K > 0$ ,K为D触发器3发生翻转时二位二进制计数器11所对应的十进制数,即 $K = 3$ , $f_o = f_i / 4$ 。

[0052] 可以理解的是,当比较电压信号V<sub>B</sub>被调至 $-2\frac{R_F}{R}V_H < V_B < -\frac{R_F}{R}V_H$ 时,电压比较器A<sub>2</sub>每隔3个时钟脉冲向D触发器3输出高电平,进而D触发器3发生翻转,D触发器3的输出端Q输出一个脉冲,从而得到分频后的脉冲信号U<sub>0</sub>,实现对输入时钟信号的分频,分频后的时钟信号的频率为 $f_o = f_i / 3$ 。

[0053] 可以理解的是,当比较电压信号V<sub>B</sub>被调至 $-\frac{R_F}{R}V_H < V_B < 0$ 时,电压比较器A<sub>2</sub>每隔2个时钟脉冲向D触发器3输出高电平,进而D触发器3发生翻转,D触发器3的输出端Q输出一个脉冲,从而得到分频后的脉冲信号U<sub>0</sub>,实现对输入时钟信号的分频,分频后的时钟信号的频率为 $f_o = f_i / 2$ 。

[0054] 在设定 $R_1 = R$ ,  $R_2 = R/2$ 时,当二位二进制计数器11的输出端“Q<sub>2</sub>Q<sub>1</sub>”为“00”时, $U_1 = 0$ ;当“Q<sub>2</sub>Q<sub>1</sub>”为“01”时, $U_1 = -\frac{R_F}{R}V_H$ ;当“Q<sub>2</sub>Q<sub>1</sub>”为“10”时, $U_1 = -2\frac{R_F}{R}V_H$ ;当“Q<sub>2</sub>Q<sub>1</sub>”为“11”时, $U_1 = -3\frac{R_F}{R}V_H$ 。换言之, $U_1 = -K\frac{R_F}{R}V_H$ ,每个基本时钟周期内运算放大器A<sub>1</sub>输出端输出至电

压比较器A<sub>2</sub>的第一电压信号U<sub>1</sub>的减少量为 $\Delta U_1 = -\frac{R_F V_H}{R}$ 。

[0055] 为了对实施例2进行具体说明,下面以N=6、M=6、 $R_i = \frac{R}{2^{i-1}}$ ,其中,i为整数,且 $1 \leq i \leq 6$ ,通过调节电位器R<sub>w</sub>的电阻值使比较电压信号V<sub>B</sub>位于 $-2^i \frac{R_F}{R} V_H$ 与 0V之间为例,对本实用新型的分频电路进行说明。

[0056] 如图4所示,为该实施例2中N=6、M=6时分频电路的结构示意图。

[0057] 在该实施方式中二进制计数器为6位二进制计数器12,第一输入电阻R<sub>1</sub>、第二输入电阻R<sub>2</sub>、第三输入电阻R<sub>3</sub>、第四输入电阻R<sub>4</sub>、第五输入电阻R<sub>5</sub>、第六输入电阻R<sub>6</sub>、反馈电阻R<sub>F</sub>和运算放大器A<sub>1</sub>构成反相加法电路2。

[0058] 当V<sub>B</sub>被调至 $-2^6 \frac{R_F}{R} V_H < V_B < -(2^6 - 1) \frac{R_F}{R} V_H$ 时,D触发器3每隔2<sup>6</sup>个时钟脉冲,输出1个脉冲,分频电路的分频频率为 $f_o = f_i / 64$ ;

[0059] 当V<sub>B</sub>被调至 $-(2^6 - 1) \frac{R_F}{R} V_H < V_B < -(2^6 - 2) \frac{R_F}{R} V_H$ 时,D触发器3每隔2<sup>6</sup>-1个时钟脉冲输出1个脉冲,分频电路的分频频率为 $f_o = f_i / 63$ ;

[0060] 依此类推,当V<sub>B</sub>被调至 $-\frac{R_F}{R} V_H < V_B < 0V$ 时,电压比较器A<sub>2</sub>每隔2个时钟脉冲向D触发器3输出1个脉冲,分频电路的分频频率为 $f_o = f_i / 2$ ;

[0061] 因而,该分频电路的分频调节范围为 $[f_i / 64, f_i / 2]$ ,可输出63种分频后的时钟信号。

[0062] 进一步地,如图5所示,在N=10、M=10、 $R_i = \frac{R}{2^{i-1}}$ 时,二进制计数器为10 位二进制计数器13,第一输入电阻R<sub>1</sub>、第二输入电阻R<sub>2</sub>、第三输入电阻R<sub>3</sub>、第四输入电阻R<sub>4</sub>、第五输入电阻R<sub>5</sub>、第六输入电阻R<sub>6</sub>、第七输入电阻R<sub>7</sub>、第八输入电阻R<sub>8</sub>、第九输入电阻R<sub>9</sub>、第十输入电阻R<sub>10</sub>、反馈电阻R<sub>F</sub>和运算放大器A<sub>1</sub>构成反相加法电路2。

[0063] 在该分频电路中,通过调节电位器R<sub>w</sub>的电阻值,可使V<sub>B</sub>位于 $-2^i \frac{R_F}{R} V_H$ 与 0V之间,该分频电路的理论分频调节范围为 $[f_i / 1024, f_i / 2]$ ,分频电路可输出1023 种分频后的时钟信号。但是,要使分频电路具有较好的抗干扰性,则要求 $\Delta U_1$ 越大,而 $\Delta U_1$ 越大,U<sub>1</sub>=K $\Delta U_1$ 就越大,就要求电路有更高的工作电压及标准电压-E,但受运算放大器A<sub>1</sub>和电压比较器A<sub>2</sub>等器件能承受电压的限制,工作电压及标准电压-E不可能无限高,也就是U<sub>1</sub>受到限制,而 $\Delta U_1$ 又要保证一定的大小,只能降低K值,实验验证K值应小等于800为宜,因而,为保证分频电路的抗干扰能力及器件的正常工作条件,本实用新型的分频电路设定的N位二进制计数器的位数N应满足 $2 \leq N \leq 10$ ,此时,该分频电路的分频范围为 $[f_i / 801, f_i / 2]$ 。

[0064] 进一步地,在本实用新型的分频电路中反相加法电路的输入端数量可小于或等于二进制计数器输出端的数量。例如,当N=10、M=6、 $R_i = \frac{R}{2^{i-1}}$ 时,N位二进制计数器为10位二



进制计数器13,第一输入电阻R<sub>1</sub>、第二输入电阻R<sub>2</sub>、第三输入电阻R<sub>3</sub>、第四输入电阻R<sub>4</sub>、第五输入电阻R<sub>5</sub>、第六输入电阻R<sub>6</sub>、反馈电阻R<sub>F</sub>和运算放大器A<sub>1</sub>构成反相加法电路2。

[0065] 在该分频电路中,通过调节电位器R<sub>W</sub>的电阻值,可使V<sub>B</sub>位于 $-2^6 \frac{R_F}{R} V_H$ 与0V之间,该分频电路的分频调节范围为 $[f_i/64, f_i/2]$ ,分频电路可输出63种分频后的时钟信号。

[0066] 其中,如图7所示,当V<sub>B</sub>满足 $-\frac{5R_F}{R} V_H < V_B < -\frac{4R_F}{R} V_H$ 时,电压比较器A<sub>2</sub>每隔6个时钟脉冲向D触发器3输出高电平,进而D触发器3发生翻转,D触发器3的输出端Q输出一个脉冲,从而得到分频后的脉冲信号U<sub>o</sub>,实现对输入时钟信号的分频,分频电路的分频频率为 $f_o = f_i/6$ 。如图1所示,为了实现本实用新型中分频电路的分频功能及提高抗共模干扰能力,本实用新型的分频电路中N位二进制计数器1为COMS集成计数器,D触发器3为COMS集成D触发器3。另外,由于该分频电路中N位二进制计数器1和D触发器3采用COMS集成型器件,且分频电路的结构简单,可降低分频电路的制造成本。

[0067] 进一步地,本实用新型还提供一种分频装置,包括上述任意一种分频电路。

[0068] 进一步地,本实用新型还提供一种电子设备,包括上述分频装置。

[0069] 在本实用新型的上述实施例中,输入电阻、反馈电阻和可调电位器的精度大于或等于万分之一。

[0070] 以上所述,仅是本实用新型的较佳实施例而已,并非对本实用新型做任何形式上的限制,故凡未脱离本实用新型技术方案的内容,依据本实用新型的技术实质对以上实施例所做的任何简单修改、等同变化与修饰,均仍属于本实用新型技术方案的范围内。

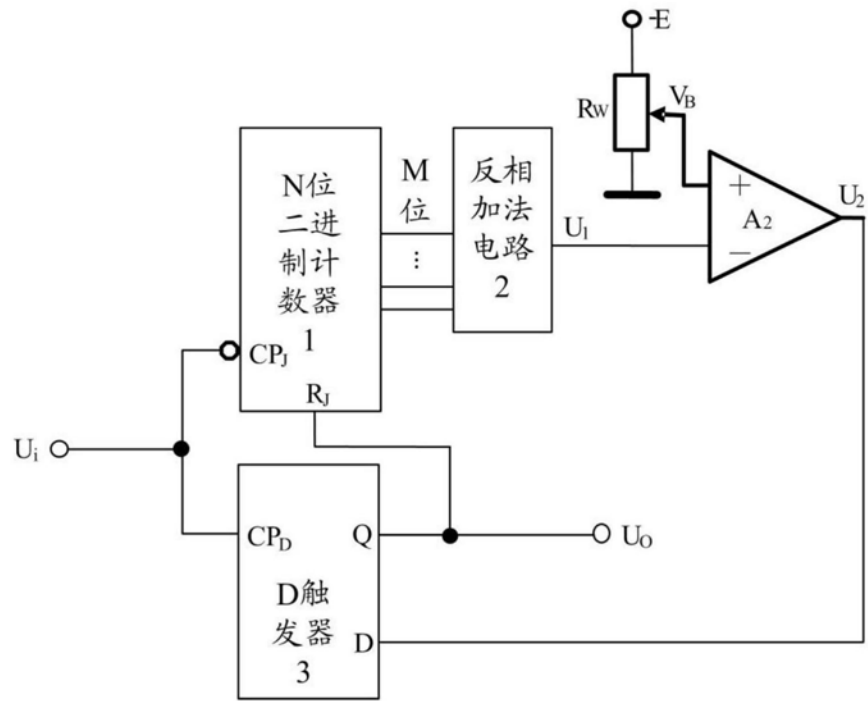


图1

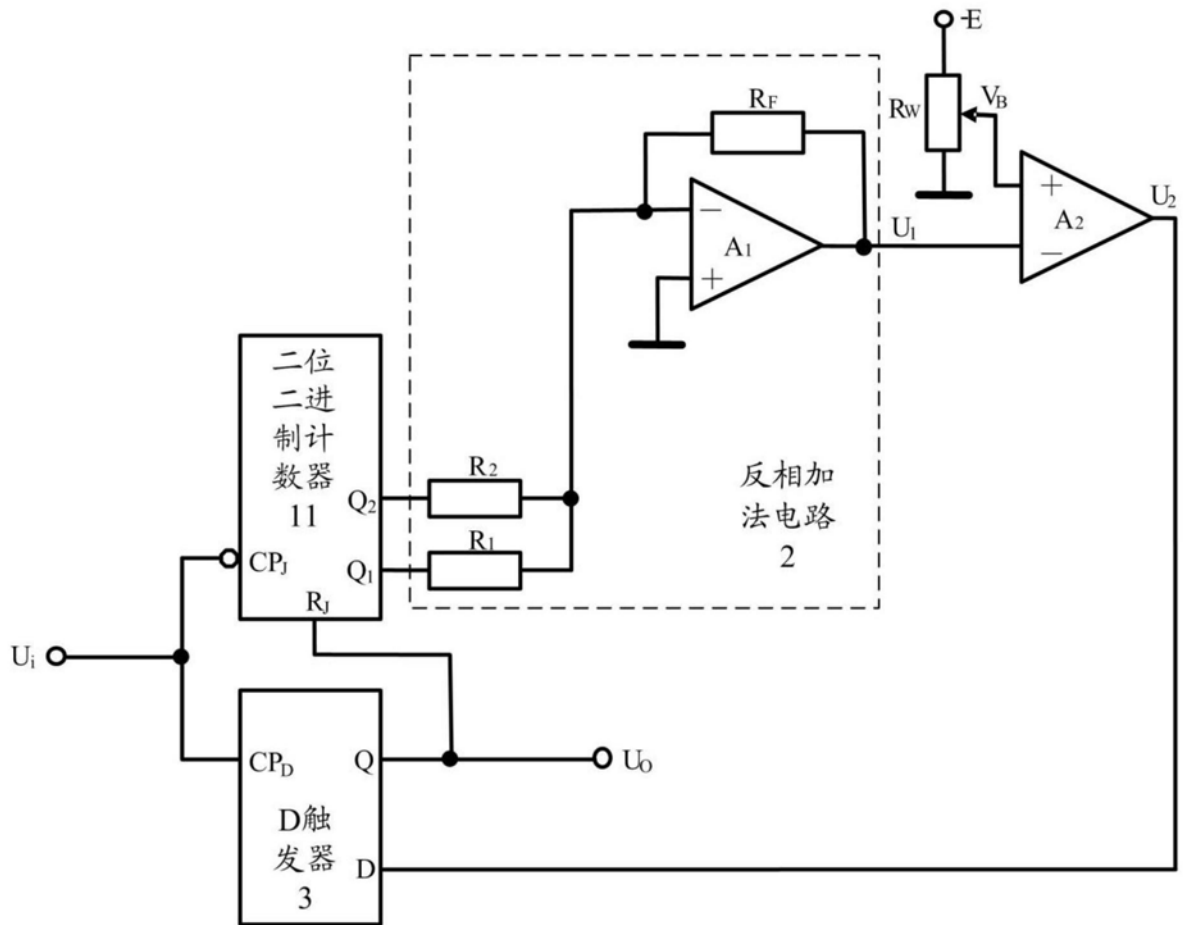


图2

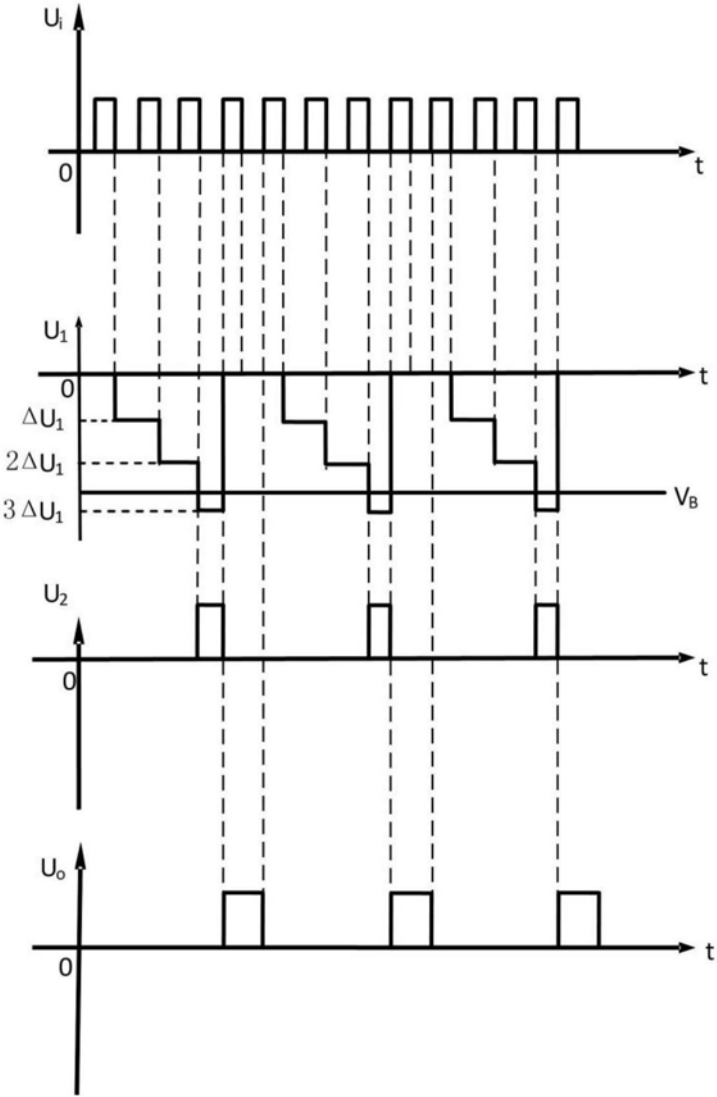


图3

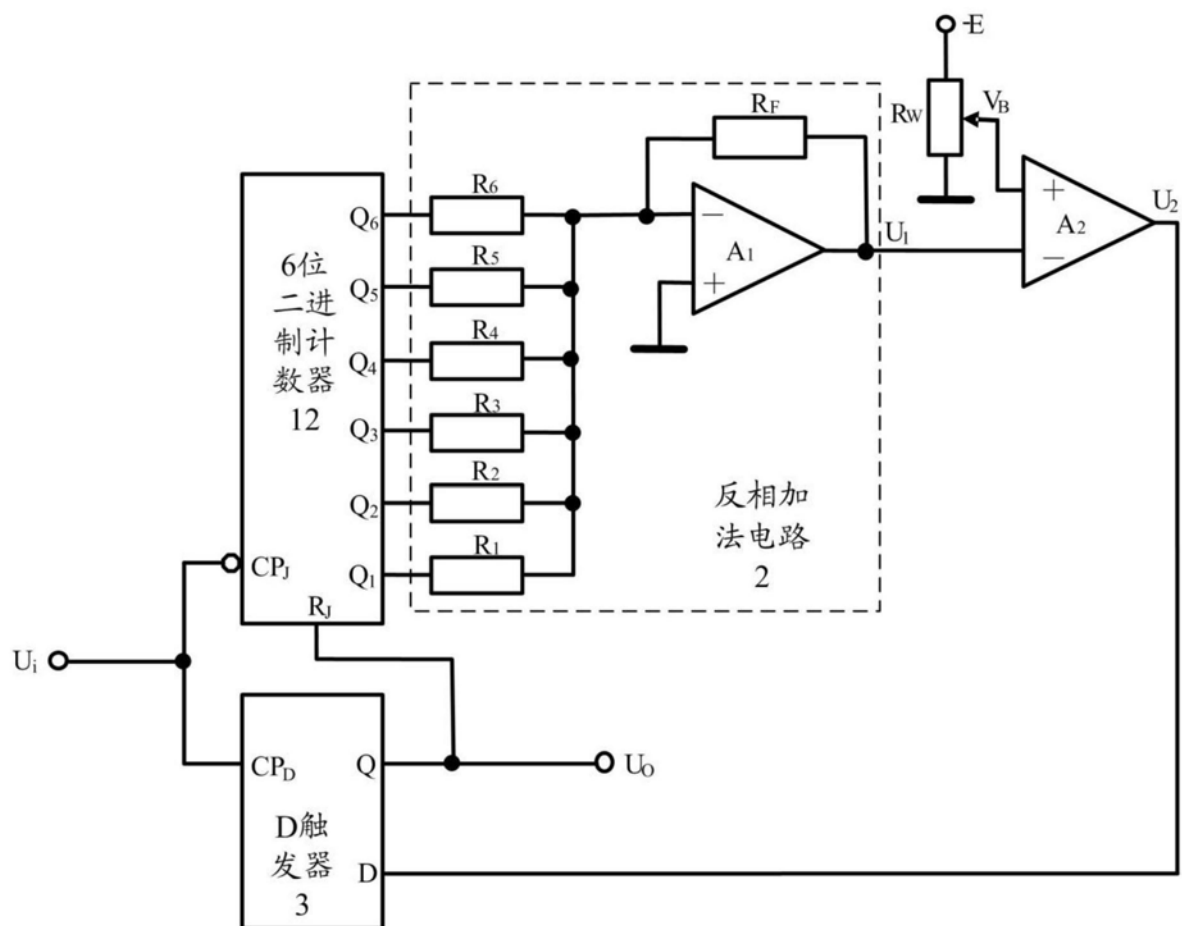


图4

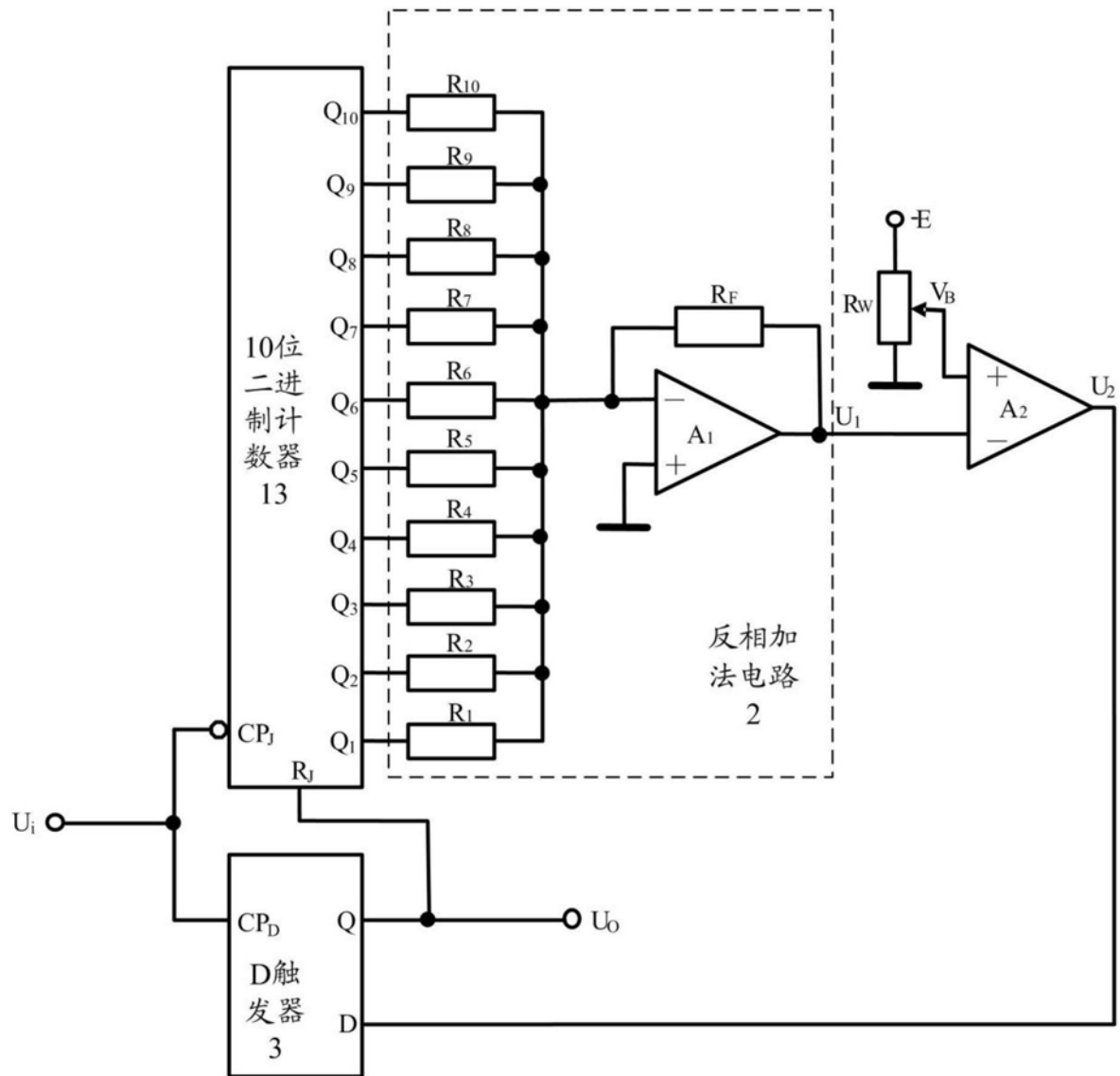


图5

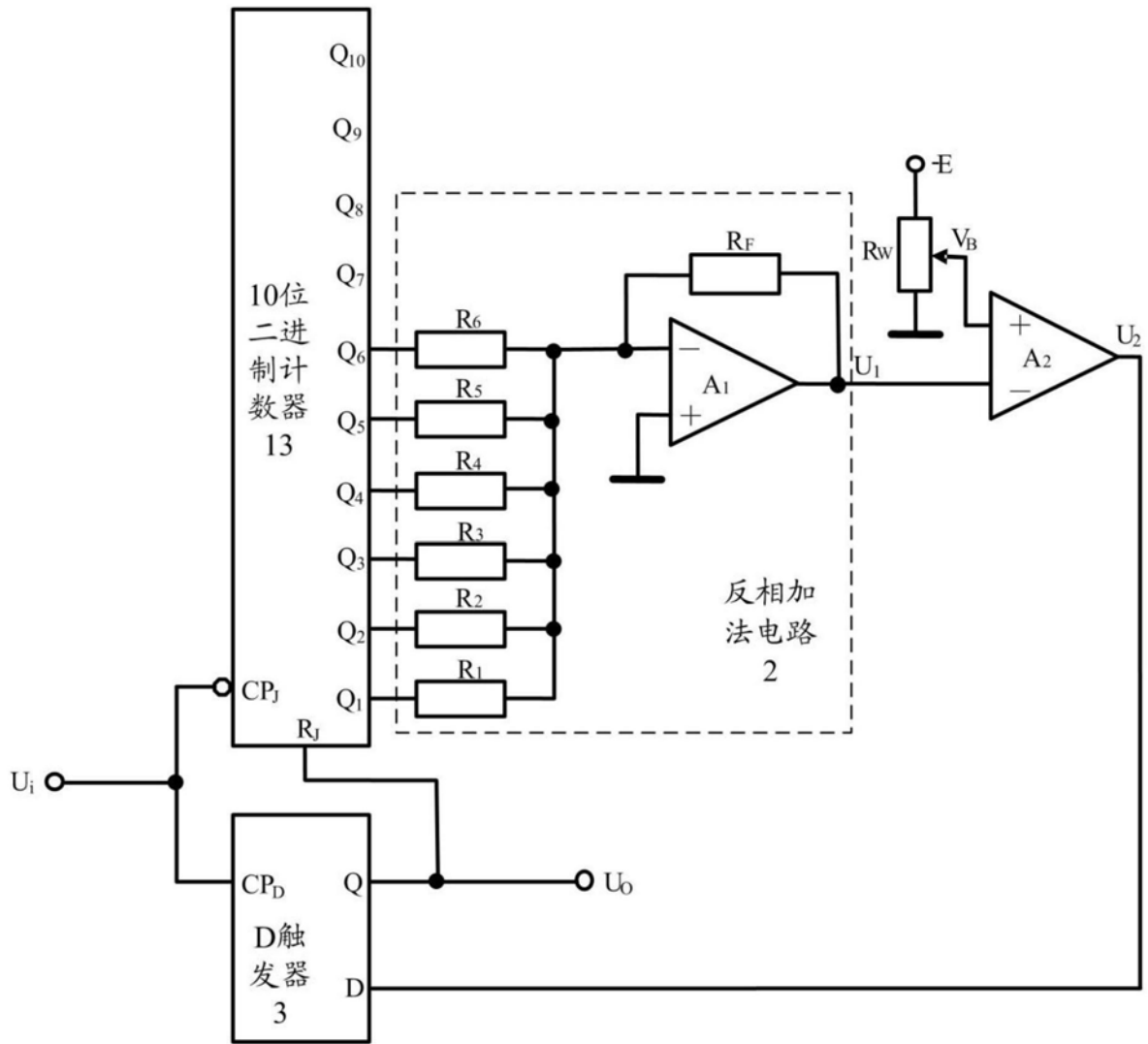


图6

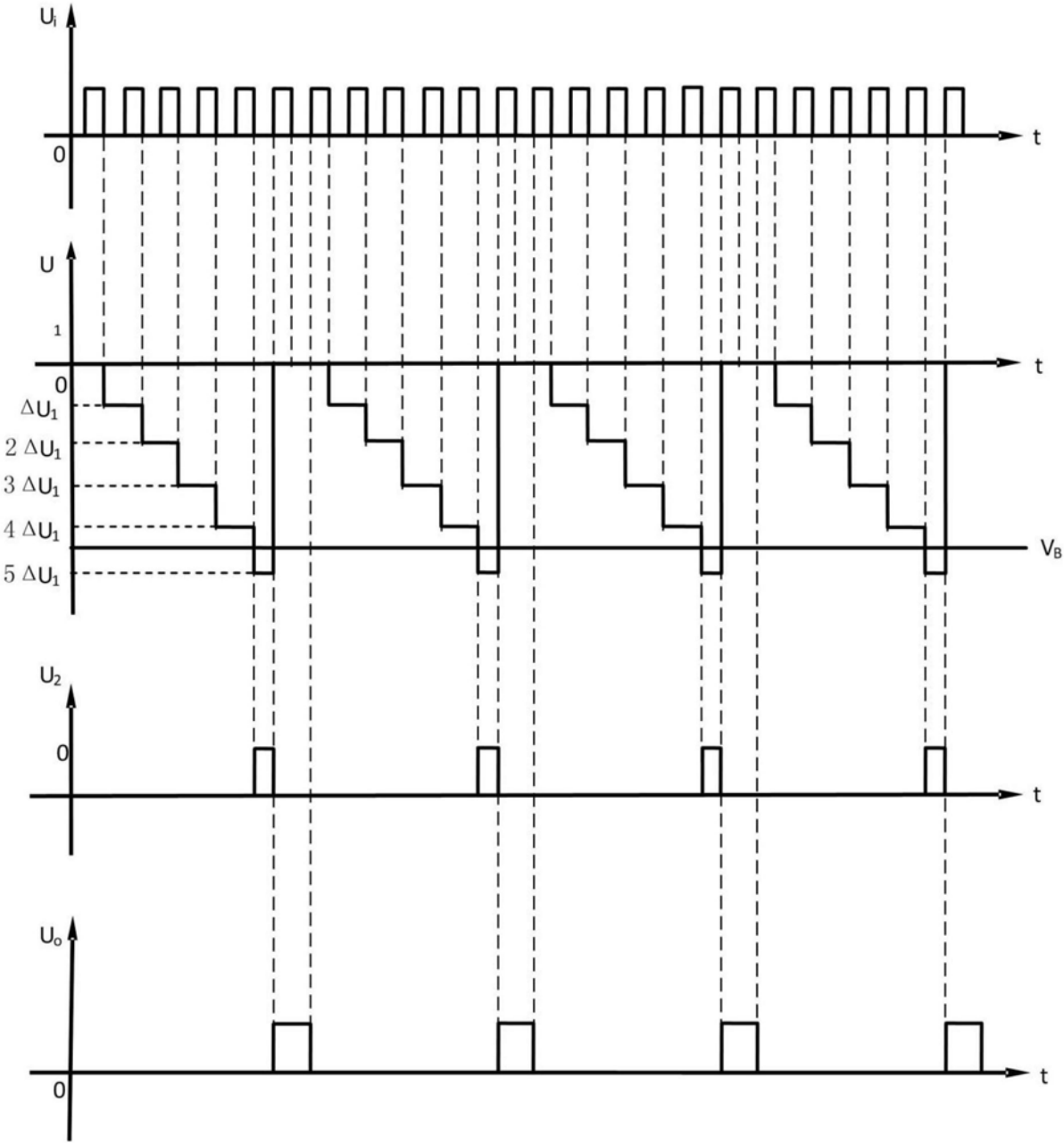


图7