



(12) 发明专利

(10) 授权公告号 CN 111884595 B

(45) 授权公告日 2022.06.14

(21) 申请号 202010746591.2

审查员 张蓉

(22) 申请日 2020.07.29

(65) 同一申请的已公布的文献号

申请公布号 CN 111884595 A

(43) 申请公布日 2020.11.03

(73) 专利权人 华南理工大学

地址 510640 广东省广州市天河区五山路
381号

(72) 发明人 薛泉 宛操

(74) 专利代理机构 广州粤高专利商标代理有限公司 44102

专利代理师 何淑珍 陈伟斌

(51) Int.Cl.

H03D 7/16 (2006.01)

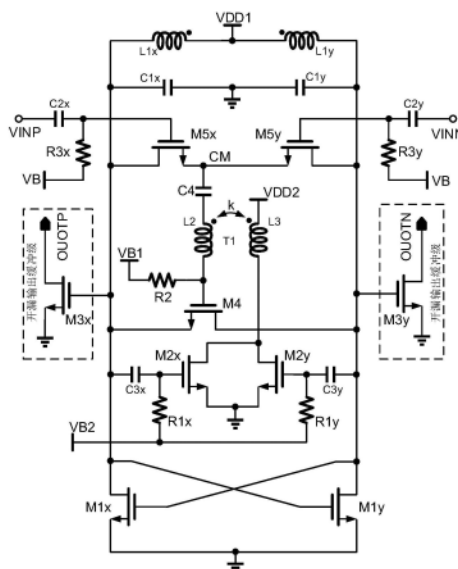
权利要求书2页 说明书4页 附图2页

(54) 发明名称

一种二次谐波增强型宽带除三分频器

(57) 摘要

本发明公开了一种二次谐波增强型宽带除三分频器,包括第一电感、第二电感、第三电感、第四电感、第一电容、第二电容、第三电容、第四电容、第五电容、第六电容、第七电容、第一晶体管、第二晶体管、第三晶体管、第四晶体管、第五晶体管、第六晶体管、第七晶体管、第八晶体管、第九晶体管、第一电阻、第二电阻、第三电阻、第四电阻、第五电阻、第一偏置电压、第二偏置电压、第三偏置电压。本发明利用-差分对和变压器增强了除三分频中的二次谐波强度,增加了分频器频率范围。除此之外,本发明不用频率调谐,用在锁相环电路里,更容易应用。



1. 一种二次谐波增强型宽带除三分频器, 其特征在于, 包括第一电感 $L1x$ 、第二电感 $L1y$ 、第三电感 $L2$ 、第四电感 $L3$ 、第一电容 $C1x$ 、第二电容 $C1y$ 、第三电容 $C2x$ 、第四电容 $C2y$ 、第五电容 $C3x$ 、第六电容 $C3y$ 、第七电容 $C4$ 、第一晶体管 $M1x$ 、第二晶体管 $M1y$ 、第三晶体管 $M2x$ 、第四晶体管 $M2y$ 、第五晶体管 $M3x$ 、第六晶体管 $M3y$ 、第七晶体管 $M4$ 、第八晶体管 $M5x$ 、第九晶体管 $M5y$ 、第一电阻 $R1y$ 、第二电阻 $R1x$ 、第三电阻 $R2$ 、第四电阻 $R3x$ 、第五电阻 $R3y$ 、第一偏置电压 VB 、第二偏置电压 $VB1$ 、第三偏置电压 $VB2$;

所述第一电感 $L1x$ 和第二电感 $L1y$ 的正端连接第一电源 $VDD1$;

所述第一电容 $C1x$ 的一端接第一电感 $L1x$ 的负端, 另一端接地;

所述第二电容 $C1y$ 的一端接第二电感 $L1y$ 负端, 另一端接地;

所述第八晶体管 $M5x$ 和第九晶体管 $M5y$ 的源极相连到 CM 点, 第八晶体管 $M5x$ 的漏极连接第一电感 $L1x$ 的负端, 第九晶体管 $M5y$ 的漏极连接第二电感 $L1y$ 的负端, 第八晶体管 $M5x$ 和第九晶体管 $M5y$ 组成差分注入管;

所述第三电容 $C2x$ 的一端接输入信号正 $VINP$, 另一端接第八晶体管 $M5x$ 的栅极;

所述第四电阻 $R3x$ 的一端接第八晶体管 $M5x$ 的栅极, 另一端接第一偏置电压 VB ;

所述第四电容 $C2y$ 的一端接输入信号正 $VINN$, 另一端接第九晶体管 $M5y$ 的栅极;

所述第五电阻 $R3y$ 的一端接第九晶体管 $M5y$ 的栅极, 另一端接第一偏置电压 VB ;

所述第七电容 $C4$ 一端连接第三电感 $L2$ 的正端, 另一端连接共模点 CM ;

所述第三电阻 $R2$ 的一端连接第二偏置电压 $VB1$, 另一端接第七晶体管 $M4$ 的栅极;

所述第三电感 $L2$ 的负端连接第七晶体管 $M4$ 的栅极;

第七晶体管 $M4$ 的源极连接第八晶体管 $M5x$ 的漏极, 第七晶体管 $M4$ 的漏极连接第九晶体管 $M5y$ 的漏极;

所述第四电感 $L3$ 的正端接电源 $VDD2$, 第四电感 $L3$ 的负端连接第三晶体管 $M2x$ 和第四晶体管 $M2y$ 的漏极, 第三晶体管 $M2x$ 和第四晶体管 $M2y$ 的源极接地; 所述第三电感 $L2$ 和第四电感 $L3$ 的正端相互正耦合;

所述第五电容 $C3x$ 一端接第八晶体管 $M5x$ 的漏极, 另一端接第三晶体管 $M2x$ 的栅极;

所述第六电容 $C3y$ 的一端接第九晶体管 $M5y$ 的漏极, 另一端接第四晶体管 $M2y$ 的栅极;

所述第二电阻 $R1x$ 的一端接第三晶体管 $M2x$ 的栅极, 另一端接第三偏置电压 $VB2$;

所述第一电阻 $R1y$ 的一端接第四晶体管 $M2y$ 的栅极, 另一端接第三偏置电压 $VB2$;

所述第一晶体管 $M1x$ 的漏极接第八晶体管 $M5x$ 的漏极, 栅极接第二晶体管 $M1y$ 的漏极, 源极接地;

所述第二晶体管 $M1y$ 的漏极接第九晶体管 $M5y$ 的漏极, 栅极接第一晶体管 $M1x$ 的漏极, 源极接地;

所述第五晶体管 $M3x$ 栅极接第一晶体管 $M1x$ 的漏极, 源极接地, 漏极为开漏输出 $OUTP$; 所述第六晶体管 $M3y$ 栅极接第三晶体管 $M2x$ 的漏极, 源极接地, 漏极为开漏输出 $OUTN$; 第五晶体管 $M3x$ 和第六晶体管 $M3y$ 为开漏输出缓冲级。

2. 根据权利要求1所述的一种二次谐波增强型宽带除三分频器, 其特征在于, 所述第三电感 $L2$ 和第四电感 $L3$ 组成变压器 $T1$, 耦合系数为 k 。

3. 根据权利要求2所述的一种二次谐波增强型宽带除三分频器, 其特征在于, 第三晶体管 $M2x$ 和第四晶体管 $M2y$ 组成 $push-push$ 差分对。

4. 根据权利要求3所述的一种二次谐波增强型宽带除三分频器, 其特征在于, 所述第一晶体管M1x和第二晶体管M1y组成交叉耦合对。

5. 根据权利要求4所述的一种二次谐波增强型宽带除三分频器, 其特征在于, 所述交叉耦合对、第一电感L1x、第二电感L1y、第一电容C1x、第二电容C1y组成振荡器。

一种二次谐波增强型宽带除三分频器

技术领域

[0001] 本发明涉及电子通信技术的毫米波前端电路领域,具体涉及一种二次谐波增强型宽带除三分频器。

背景技术

[0002] 近年来,第五代(5G)通信备受学术界工业界青睐,毫米波收发机是5G通信系统必不可少的一环,其中一个关键电路是锁相环中紧随压控振荡器的第一级分频器——注入锁定分频器。该分频器在锁相环系统中属于前端模块,工作频率与振荡器频率一致,可跟踪振荡器频率变化并对其分频。注入锁定分频器最重要的性能指标是输入信号带宽。

[0003] 目前已有的方案中,[1] 利用差分注入的共模点二次谐波,在原有三分频的基础上,进行二分频,增加输入频率范围,无调谐情况下输入频率范围不超过1GHz([1] Wu J, Chen C, Kao H, et al. Divide-by-Three Injection-Locked Frequency Divider Combined With Divide-by-Two Locking[J]. IEEE Microwave and Wireless Components Letters, 2013, 23(11): 590-592.)。[2] 采用开关注入结构实现了一款频率范围为4.5GHz的30GHz注入锁定除三分频器([2] Seow B, Huang T, Wu C, et al. A Low-Voltage 30-GHz CMOS Divide-by-Three ILFD With Injection-Switched Cross-Coupled Pair Technique[J]. IEEE Transactions on Microwave Theory and Techniques, 2017, 65(5): 1560-1568.);[3]提出了一种利用尾部注入的双注入的三分频器,相对带宽为8.5%([3] Abdulaziz M, Forsberg T, Tormanen M, et al. A 10-mW mm-Wave Phase-Locked Loop With Improved Lock Time in 28-nm FD-SOI CMOS[J]. IEEE Transactions on Microwave Theory and Techniques, 2019, 67(4): 1588-1600.)。该类分频器适用于毫米波通信前端电路。现有的分频器的分频带宽都不够大,需要变容管进行频率调谐,在无调谐情况下输入频率范围的相对带宽偏小。

发明内容

[0004] 本发明的目的在于增强除三分频器中二次谐波强度,增大输入信号带宽,在无频率调谐情况下也能实现宽带分频器

[0005] 本发明至少通过如下技术方案之一实现。

[0006] 一种二次谐波增强型宽带除三分频器,包括第一电感L1x、第二电感L1y、第三电感L2、第四电感L3、第一电容C1x、第二电容C1y、第三电容C2x、第四电容C2y、第五电容C3x、第六电容C3y、第七电容C4、第一晶体管M1x、第二晶体管M1y、第三晶体管M2x、第四晶体管M2y、第五晶体管M3x、第六晶体管M3y、第七晶体管M4、第八晶体管M5x、第九晶体管M5y、第一电阻R1y、第二电阻R1x、第三电阻R2、第四电阻R3x、第五电阻R3y、第一偏置电压VB、第二偏置电压VB1、第三偏置电压VB2;

[0007] 所述第一电感L1x和第二电感L1y的正端连接第一电源VDD1;

[0008] 所述第一电容C1x的一端接第一电感L1x的负端,另一端接地;

- [0009] 所述第二电容C1y的一端接第二电感L1y的负端,另一端接地;
- [0010] 所述第八晶体管M5x和第九晶体管M5y的源极相连到CM点,第八晶体管M5x的漏极连接第一电感L1x的负端,第九晶体管M5y的漏极连接第二电感L1y的负端,第八晶体管M5x和第九晶体管M5y组成差分注入管;
- [0011] 所述第三电容C2x的一端接输入信号正VINP,另一端接第八晶体管M5x的栅极;
- [0012] 所述第四电阻R3x的一端接第八晶体管M5x的栅极,另一端接第一偏置电压VB;
- [0013] 所述第四电容C2y的一端接输入信号正VINN,另一端接第九晶体管M5y的栅极;
- [0014] 所述第五电阻R3y的一端第九晶体管M5y的栅极,另一端接第一偏置电压VB;
- [0015] 所述第七电容C4一端连接第三电感L2的正端,另一端连接共模点CM;
- [0016] 所述第三电阻R2的一端连接第二偏置电压VB1,另一端接第七晶体管M4的栅极;
- [0017] 所述第三电感L2的负端连接第七晶体管M4的栅极;
- [0018] 第七晶体管M4的源极连接第八晶体管M5x的漏极,第七晶体管M4的漏极连接第九晶体管M5y的漏极;
- [0019] 所述第四电感L3的正端接电源VDD2,第四电感L3的负端连接第三晶体管M2x和第四晶体管M2y的漏极,第三晶体管M2x和第四晶体管M2y的源极接地;
- [0020] 所述第三电感L2和第四电感L3组成变压器T1,耦合系数为k,第三晶体管M2x和第四晶体管M2y组成push-push差分对;
- [0021] 所述第五电容C3x一端接第八晶体管M5x的漏极,另一端接第三晶体管M2x的栅极;
- [0022] 所述第六电容C3y的一端接第九晶体管M5y的漏极,另一端接第四晶体管M2y的栅极;
- [0023] 所述第二电阻R1x的一端接第三晶体管M2x的栅极,另一端接第三偏置电压VB2;
- [0024] 所述第一电阻R1y的一端接第四晶体管M2y的栅极,另一端接第三偏置电压VB2;
- [0025] 所述第一晶体管M1x的漏极接第八晶体管M5x的漏极,栅极接第二晶体管M1y的漏极,源极接地;
- [0026] 所述第二晶体管M1y的漏极接第九晶体管M5y的漏极,栅极接第一晶体管M1x的漏极,源极接地;
- [0027] 所述第一晶体管M1x和第二晶体管M1y组成交叉耦合对,所述交叉耦合对、第一电感L1x、第二电感L1y、第一电容C1x、第二电容C1y组成振荡器;
- [0028] 所述第五晶体管M3x栅极接第一晶体管M1x的漏极,源极接地,漏极为开漏输出OUTP;所述第六晶体管M3y栅极接第三晶体管M2x的漏极,源极接地,漏极为开漏输出OUTN;第五晶体管M3x和第六晶体管M3y为开漏输出缓冲级。
- [0029] 本发明的注入锁定分频器的核心电路为振荡在 ω_0 附近,差分信号通过第八晶体管M5x和第九晶体管M5y的栅极注入,注入信号为 $3\omega_0$ 。振荡器起振时,在共模点CM(CM点)会产生二次谐波频率为 $2\omega_0$ 。以第八晶体管M5x为例,当第八晶体管M5x栅极注入频率为 $3\omega_0$ 的信号,该信号会与CM点的 $2\omega_0$ 信号混频,产生 $5\omega_0$ 和 ω_0 两种频率的信号,但是振荡器震荡在 ω_0 附近, $5\omega_0$ 频率被滤除。最终实现除三分频。
- [0030] 除了第八晶体管M5x和第九晶体管M5y对输入信号进行三分频,第七晶体管M4对CM点的二次谐波进行二分频,因此在原有三分频的基础上增加了一路二分频,因此加强了整个电路的三分频性能。

[0031] 本发明目的在于提高CM点的二次谐波强度。Push-push差分对能对振荡信号 ω_0 进行二倍频,并通过变压器T1耦合到CM点,因此相比于传统结构,本发明增强了CM点的二次谐波。

[0032] 与现有的技术相比,本发明的有益效果为:

[0033] 本发明利用push-push差分对和变压器增强了除三分频器中的二次谐波强度,增加了分频器频率范围。除此之外,本发明不用频率调谐,用在锁相环电路里,更容易应用。

附图说明

[0034] 图1是本实施例分频器原理图;

[0035] 图2是本实施例电路中CM点的二次谐波电压幅值示意图;

[0036] 图3是本实施例的灵敏度曲线图。

具体实施方式

[0037] 下面结合实施例及附图,对本发明作进一步地详细说明,但本发明的实施方式不限于此。

[0038] 如图1所示的一种二次谐波增强型宽带除三分频器,包括第一电感L1x、第二电感L1y、第三电感L2、第四电感L3、第一电容C1x、第二电容C1y、第三电容C2x、第四电容C2y、第五电容C3x、第六电容C3y、第七电容C4、第一晶体管M1x、第二晶体管M1y、第三晶体管M2x、第四晶体管M2y、第五晶体管M3x、第六晶体管M3y、第七晶体管M4、第八晶体管M5x、第九晶体管M5y、第一电阻R1y、第二电阻R1x、第三电阻R2、第四电阻R3x、第五电阻R3y、第一偏置电压VB、第二偏置电压VB1、第三偏置电压VB2;

[0039] 所述第一电感L1x和第二电感L1y的正端连接第一电源VDD1;

[0040] 所述第一电容C1x的一端接第一电感L1x的负端,另一端接地;

[0041] 所述第二电容C1y的一端接第二电感L1y的负端,另一端接地;

[0042] 所述第八晶体管M5x和第九晶体管M5y的源极相连到CM点,第八晶体管M5x的漏极连接第一电感L1x的负端,第九晶体管M5y的漏极连接第二电感L1y的负端,第八晶体管M5x和第九晶体管M5y组成差分注入管;

[0043] 所述第三电容C2x的一端接输入信号正VINP,另一端接第八晶体管M5x的栅极;

[0044] 所述第四电阻R3x的一端接第八晶体管M5x的栅极,另一端接第一偏置电压VB;

[0045] 所述第四电容C2y的一端接输入信号正VINN,另一端接第九晶体管M5y的栅极;

[0046] 所述第五电阻R3y的一端第九晶体管M5y的栅极,另一端接第一偏置电压VB;

[0047] 所述第七电容C4一端连接第三电感L2的正端,另一端连接共模点CM;

[0048] 所述第三电阻R2的一端连接第二偏置电压VB1,另一端接第七晶体管M4的栅极;

[0049] 所述第三电感L2的负端连接第七晶体管M4的栅极;

[0050] 第七晶体管M4的源极连接第八晶体管M5x的漏极,第七晶体管M4的漏极连接第九晶体管M5y的漏极;

[0051] 所述第四电感L3的正端接电源VDD2,第四电感L3的负端连接第三晶体管M2x和第四晶体管M2y的漏极,第三晶体管M2x和第四晶体管M2y的源极接地;

[0052] 所述第三电感L2和第四电感L3组成变压器T1,耦合系数为k,第三晶体管M2x和第

四晶体管M2y组成push-push差分对；

[0053] 所述第五电容C3x一端接第八晶体管M5x的漏极，另一端接第三晶体管M2x的栅极；

[0054] 所述第六电容C3y的一端接第九晶体管M5y的漏极，另一端接第四晶体管M2y的栅极；

[0055] 所述第二电阻R1x的一端接第三晶体管M2x的栅极，另一端接第三偏置电压VB2；

[0056] 所述第一电阻R1y的一端接第四晶体管M2y的栅极，另一端接第三偏置电压VB2；

[0057] 所述第一晶体管M1x的漏极接第八晶体管M5x的漏极，栅极接第二晶体管M1y的漏极，源极接地；

[0058] 所述第二晶体管M1y的漏极接第九晶体管M5y的漏极，栅极接第一晶体管M1x的漏极，源极接地；

[0059] 所述第一晶体管M1x和第二晶体管M1y组成交叉耦合对，所述交叉耦合对、第一电感L1x、第二电感L1y、第一电容C1x、第二电容C1y组成振荡器；

[0060] 所述第五晶体管M3x栅极接第一晶体管M1x的漏极，源极接地，漏极为开漏输出OUTP；所述第六晶体管M3y栅极接第三晶体管M2x的漏极，源极接地，漏极为开漏输出OUTN；第五晶体管M3x和第六晶体管M3y为开漏输出缓冲级。

[0061] 在注入锁定分频器的核心电路为振荡在 ω_0 附近，差分信号通过第八晶体管M5x和第九晶体管M5y的栅极注入，注入信号为 $3\omega_0$ 。振荡器起振时，在共模点CM(CM点)会产生二次谐波频率为 $2\omega_0$ 。以第八晶体管M5x为例，当第八晶体管M5x栅极注入频率为 $3\omega_0$ 的信号，该信号会与CM点的 $2\omega_0$ 信号混频，产生 $5\omega_0$ 和 ω_0 两种频率的信号，但是振荡器震荡在 ω_0 附近， $5\omega_0$ 频率被滤除。最终实现除三分频。

[0062] 除了第八晶体管M5x和第九晶体管M5y对输入信号进行三分频，第七晶体管M4对CM点的二次谐波进行二分频，因此在原有三分频的基础上增加了一路二分频，因此加强了整个电路的三分频性能。

[0063] 本发明提高了CM点的二次谐波强度。Push-push差分对能对振荡信号 ω_0 进行二倍频，并通过变压器T1耦合到CM点，增强了CM点的二次谐波。如图2所示，为整个频带内CM点的二次谐波CM2电压幅度，最高可达到210mV。一方面增强了差分对混频性能(即三分频性能)，另一方面增强了M4混频性能(即二分频性能)，从而整个分频器的分频范围进一步提升。如图3所示为分频器灵敏度曲线，注入0dBm功率时，分频器频率范围为24.24-30.75 GHz，相对带宽为23.7%。

[0064] 上述实施例为本发明较佳的实施方式，但本发明的实施方式并不受上述实施例的限制，其他的任何未背离本发明的精神实质与原理下所作的改变、修饰、替代、组合、简化，均应为等效的置换方式，都包含在本发明的保护范围之内。

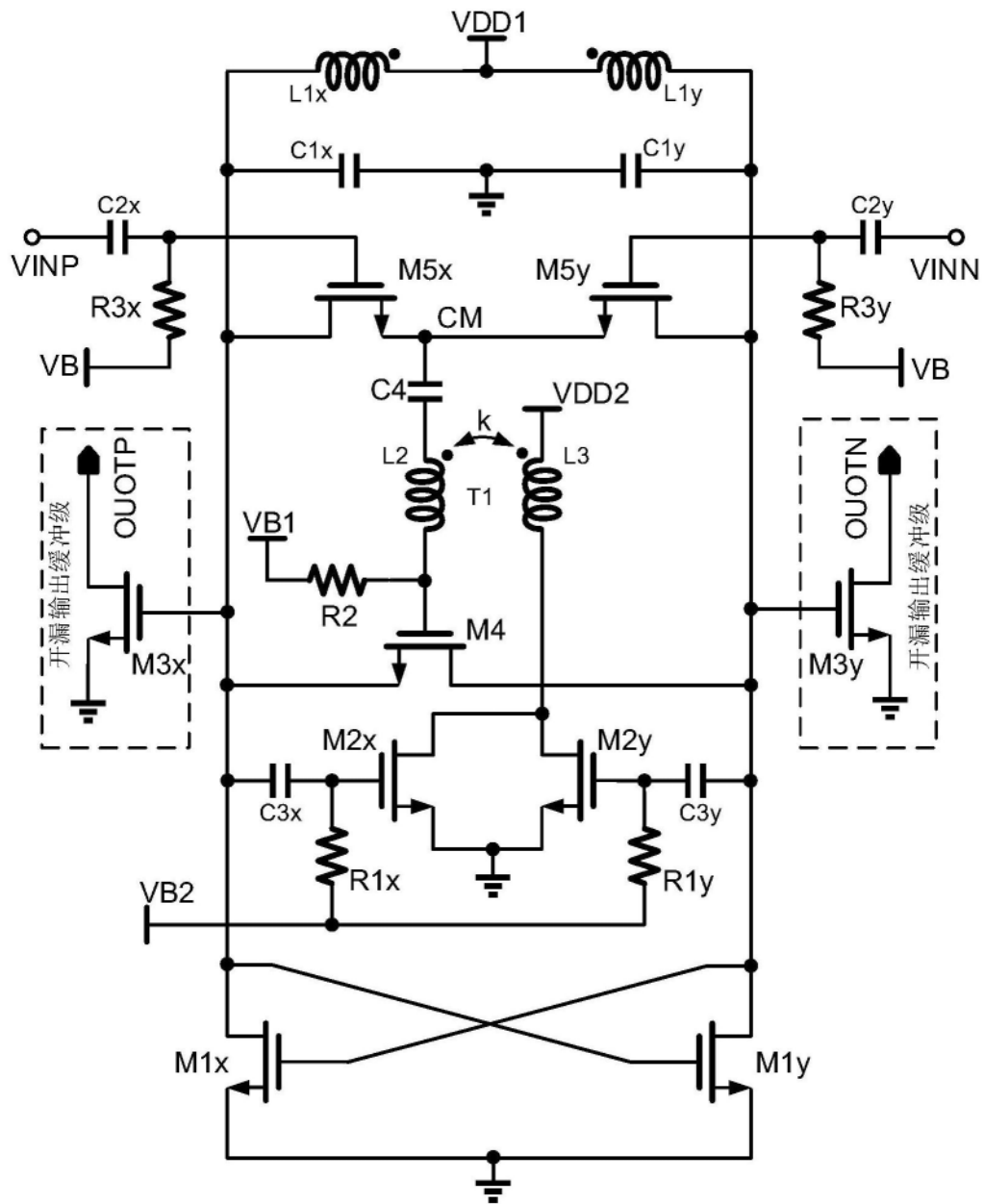


图1

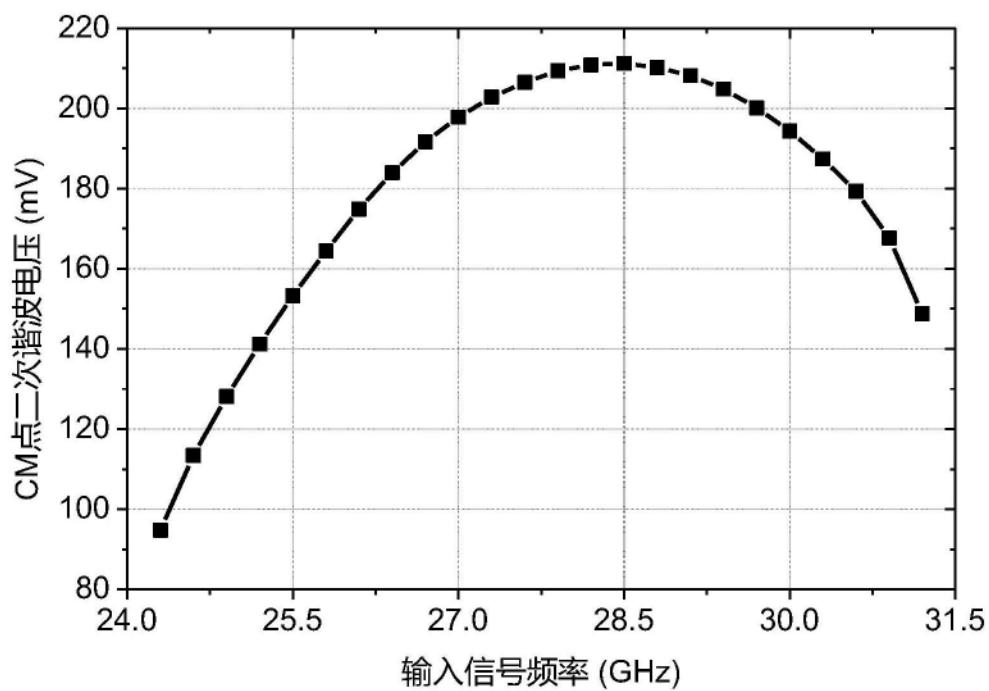


图2

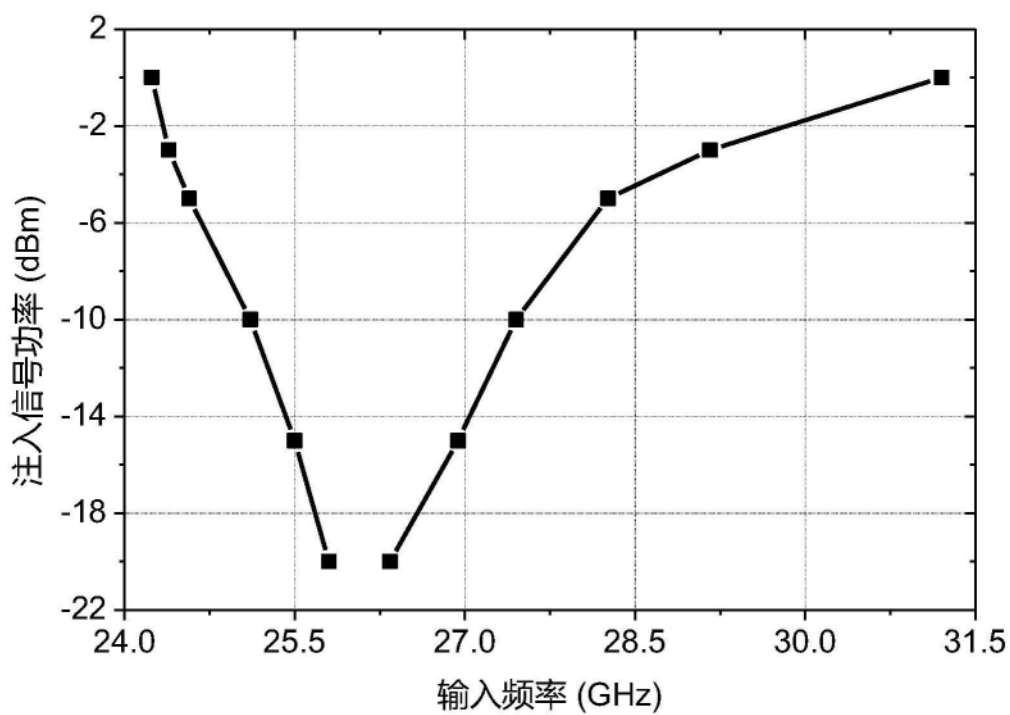


图3