



(12) 发明专利

(10) 授权公告号 CN 108874008 B

(45) 授权公告日 2021.04.27

(21) 申请号 201810651176.1

(51) Int.Cl.

(22) 申请日 2018.06.22

G05F 1/56 (2006.01)

(65) 同一申请的已公布的文献号

审查员 刘敬坤

申请公布号 CN 108874008 A

(43) 申请公布日 2018.11.23

(73) 专利权人 佛山科学技术学院

地址 528000 广东省佛山市南海区狮山镇
仙溪水库西路佛山科学技术学院

(72) 发明人 段志奎 王志敏 单明 李秋实

赵晓萌 牛菓 王修才 陈建文

李学夔

(74) 专利代理机构 广州嘉权专利商标事务所有

限公司 44205

代理人 王国标

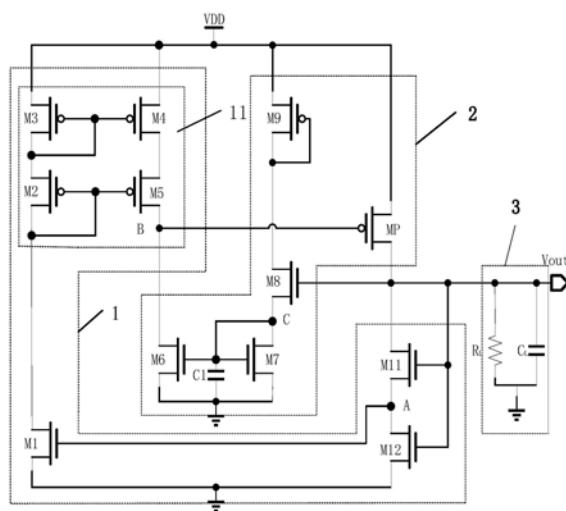
权利要求书1页 说明书6页 附图4页

(54) 发明名称

一种具有双反馈的LDO电路

(57) 摘要

本发明公开了一种具有双反馈的LDO电路,包括负反馈电路、正反馈电路和负载电路,主要采用NMOS晶体管、PMOS晶体管、电容和电阻,具有静态电流低、瞬态响应能力强等特点。而随芯片供电电压不断降低,传统的LDO电路可能会出现电路本身消耗的静态电流大于芯片本身消耗电流的情况。本发明的LDO电路和典型的LDO电路不同的是没有基准电路,通过正负反馈来输出更加稳定的电压,提高对负载电路电压变化的响应速度,同时可以有效降低LDO电路的功耗,符合当今电子设备低电源电压和低功耗的发展趋势。可用于集成电路技术领域。



1. 一种具有双反馈的LDO电路,其特征在于,包括:负反馈电路(1)、正反馈电路(2)和负载电路(3);

所述负反馈电路(1)包括:NMOS晶体管M1、M11、M12和电流镜模块(11),M1、M12的源极分别与地连接,M11的源极、M12的漏极分别与M1的栅极连接,M11的漏、栅极,M12的栅极分别与LDO电路的输出电压端 V_{out} 相连接,电流镜模块(11)的电流输入端与电源VDD相连接,电流镜模块(11)的第一电流输出端与M1的漏极连接;

所述正反馈电路(2)包括:PMOS晶体管M9、MP,NMOS晶体管M6、M7、M8和电容C1,M6、M7的源极分别与地相连接,M6的栅极,M8的源极分别与M7的漏、栅极相连接,所述M7的漏、栅极相互连接,M8的漏极与M9的漏、栅极相连接,M8的栅极,MP的漏极分别与所述LDO电路的输出电压端 V_{out} 相连接,MP的源极,M9的源极分别与电源VDD相连接,电容C1的一端分别与M6的栅极,M7的栅、漏极相连接,电容C1的另一端与地相连接;

电流镜模块(11)的第二电流输出端分别与M6的漏极、MP的栅极相连接;

所述负载电路(3)包括:电容 C_L 和电阻 R_L ,所述电容 C_L 和电阻 R_L 并接,所述电容 C_L 的一端与所述LDO电路的输出电压端 V_{out} ,所述电容 C_L 的另一端对地连接;

所述电流镜模块(11)由PMOS晶体管M2、M3、M4、M5构成,M5的栅极,M2的漏、栅极分别与M1的漏极相连接,M4的栅极,M3的漏、栅极分别与M2的源极相连接,M4的漏极与M5的源极相连接,M3、M4的源极分别与电源VDD相连接;

所有的NMOS晶体管的衬底均接地,所有的PMOS晶体管的衬底均接电源VDD。

2. 根据权利要求1所述的一种具有双反馈的LDO电路,其特征在于:所述PMOS晶体管M2、M3、M4、M5的尺寸均相等。

3. 根据权利要求1所述的一种具有双反馈的LDO电路,其特征在于:所述PMOS晶体管MP为功率管。

一种具有双反馈的LDO电路

技术领域

[0001] 本发明涉及集成电路技术领域,特别涉及一种具有双反馈的LDO电路。

背景技术

[0002] 低压差线性被广泛地应用于现代电子设备,用来提供不受供电电压变化和负载变化的稳定电压。典型LDO结构如图1所示,包含参考电压 V_{ref} 、误差放大器EA、功率管和反馈电阻R1,其中参考电压 V_{ref} 通常由带隙基准电路提供,LDO的输出通常要高于1.24V。而随着CMOS工艺尺寸的不断缩减,芯片供电电压不断降低,基于典型结构的LDO难以应用于低功耗低压供电领域。现有的LDO电路难以应对输出电压的快速变化,负载瞬态响应速度不高,整体电路的功耗较高。

发明内容

[0003] 本发明提供一种具有双反馈的LDO电路,有效降低LDO电路功耗,提高负载瞬态响应速度。

[0004] 本发明解决其技术问题的解决方案是:一种具有双反馈的LDO电路,包括:负反馈电路、正反馈电路和负载电路;

[0005] 所述负反馈电路包括:NMOS晶体管M1、M11、M12和电流镜模块,M1、M12的源极分别与地连接,M11的源极、M12的漏极分别与M1的栅极连接,M11的漏、栅极,M12的栅极分别与LDO电路的输出电压端 V_{out} 相连接,电流镜模块的电流输入端与电源VDD相连接,电流镜模块的第一电流输出端与M1的漏极连接;

[0006] 所述正反馈电路包括:PMOS晶体管M9、MP,NMOS晶体管M6、M7、M8和电容C1,M6、M7的源极分别与地相连接,M6的栅极,M8的源极分别与M7的漏、栅极相连接,所述M7的漏、栅极相互连接,M8的漏极与M9的漏、栅极相连接,M8的栅极,MP的漏极分别与所述LDO电路的输出电压端 V_{out} 相连接,MP的源极,M9的源极分别与电源VDD相连接,电容C1的一端分别与M6的栅极,M7的栅、漏极相连接,电容C1的另一端与地相连接;

[0007] 电流镜模块的第二电流输出端分别与M6的漏极、MP的栅极相连接;

[0008] 所述负载电路包括:电容 C_L 和电阻 R_L ,所述电容 C_L 和电阻 R_L 并联,所述电容 C_L 的一端与所述LDO电路的输出电压端 V_{out} ,所述电容 C_L 的另一端对地连接。

[0009] 进一步,所述电流镜模块由PMOS晶体管M2、M3、M4、M5构成,M5的栅极,M2的漏、栅极分别与M1的漏极相连接,M4的栅极,M3的漏、栅极分别与M2的源极相连接,M4的漏极与M5的源极相连接,M3、M4的源极分别与电源VDD相连接。

[0010] 进一步,所述PMOS晶体管M2、M3、M4、M5的尺寸均相等。

[0011] 进一步,所述PMOS晶体管MP为功率管。

[0012] 本发明的有益效果是:本发明通过增加正负反馈电路,将基准电路从LDO电路中移除,对输出电压的变化快速反应,从而输出稳定的供电电压,有效降低LDO电路的功耗,具有静态电流低,瞬态响应能力强等特点。

附图说明

[0013] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单说明。显然,所描述的附图只是本发明的一部分实施例,而不是全部实施例,本领域的技术人员在不付出创造性劳动的前提下,还可以根据这些附图获得其他设计方案和附图。

[0014] 图1是典型的LDO电路结构示意图;

[0015] 图2是本发明的具有双反馈的LDO电路结构示意图;

[0016] 图3是当 V_{out} 升高时控制环路的变化情况;

[0017] 图4是当 V_{out} 降低时控制环路的变化情况;

具体实施方式

[0018] 以下将结合实施例和附图对本发明的构思、具体结构及产生的技术效果进行清楚、完整的描述,以充分地理解本发明的目的、特征和效果。显然,所描述的实施例只是本发明的一部分实施例,而不是全部实施例,基于本发明的实施例,本领域的技术人员在不付出创造性劳动的前提下所获得的其他实施例,均属于本发明保护的范围。另外,文中所提到的所有联接/连接关系,并非单指构件直接相接,而是指可根据具体实施情况,通过添加或减少联接辅件,来组成更优的联接结构。本发明创造中的各个技术特征,在不互相矛盾冲突的前提下可以交互组合。

[0019] 实施例1,参照图2,一种具有双反馈的LDO电路,包括负反馈电路1、正反馈电路2和负载电路3。

[0020] 所述负反馈电路1包括:NMOS晶体管M1、M11、M12和电流镜模块11,M1、M12的源极分别与地连接,M11的源极,M12的漏极分别与M1的栅极连接,M11的漏、栅极,M12的栅极分别与所述LDO电路的输出电压端 V_{out} 相连接,其中,所述电流镜模块11设有电流输入端,第一电流输出端和第二电流输出端,所述电流镜模块11的电流输入端与电源VDD相连接,电流镜模块11的第一电流输出端与M1的漏极连接。

[0021] 所述正反馈电路2包括:PMOS晶体管M9、MP,NMOS晶体管M6、M7、M8和电容C1,其中M7和M8构成负载为二极管连接的源极跟随器。M6、M7的源极分别与地相连接,M6的栅极、M8的源极分别与M7的漏、栅极相连接,M8的漏极与M9的漏、栅极相连接,M8的栅极、MP的漏极分别与LDO输出电压 V_{out} 相连接,MP的源极、M9的源极分别与电源VDD相连接,M6的漏极、MP的栅极分别与所述电流镜模块11的第一电流输出端连接,电容C1的一端分别与M6的栅极,M7的栅、漏极相连接,另一端与地相连接。

[0022] 电流镜模块11的第二电流输出端分别与M6的漏极、MP的栅极相连接;

[0023] 所述负载电路3包括负载电容 C_L 和负载电阻 R_L ,所述电容 C_L 和电阻 R_L 相互并接。 C_L 一端与输出 V_{out} 连接,另一端与地连接; R_L 一端与输出 V_{out} 连接,另一端与地连接。

[0024] 所述电流镜模块11由PMOS晶体管M2、M3、M4、M5构成,M2与M5组成第一组电流镜结构,M3与M4组成第二组电流镜结构,两组电流镜结构为并接形式。M5的栅极、M2的漏、栅极分别与M1的漏极相连接,M4的栅极、M3的漏、栅极分别与M2的源极相连接,M4的漏极与M5的源极相连接,M3、M4的源极分别与电源VDD相连接。

[0025] 作为优化,所述PMOS晶体管M2、M3、M4、M5的尺寸均相等。

[0026] 作为优化,所述PMOS晶体管MP为功率管。

[0027] 其中,本发明创造所有的NMOS晶体管的衬底均接地,所有的PMOS晶体管的衬底均接电源VDD。为了方便描述,将M11的源极,M12的漏极,M1的栅极相连接的交汇处设为节点A;将M5的漏极,M6的漏极,MP的栅极相连接的交汇处设为节点B,将M7的漏、栅极,M8的源极相连接的交汇处设为节点C。

[0028] 为了方便描述,所述LD0电路的输出电压端 V_{out} 的输出电压称为电压 V_{out} ,本发明创造所提出的具有双反馈电路LD0电路的工作原理如下:

[0029] 当输出电压 V_{out} 升高时,负反馈电路1为:节点A点处的电压随之升高,M1的栅极电压升高,流经M1的电流增大,有M2、M5和M3、M4为电流镜结构11,且两者叠加,可以更加精确的复制M1中的电流。因此,M4、M5中的电流增大,将节点B点处的电压上拉。功率管MP的栅极电压升高,流经MP的电流减小,将输出电压 V_{out} 拉低。正反馈电路2为:M8的栅极电压升高,由M8和M7构成负载为二极管连接的源跟随器,因此C点的电压升高,M6的栅极电压升高,随之流经M6的电流增大,将B点的电压拉低,功率管MP的栅极电压降低,流经其中的电流增大,输出电压 V_{out} 升高。负反馈电路1比正反馈电路2响应速度快,其会有一个平衡点,即流经M5、M6电流相等,因此可以得到一个稳定的电压输出。

[0030] 当输出电压降低时,负反馈电路1为:节点A点的电压随之降低,M1的栅极电压降低,流经M1的电流减小,通过电流镜结构的作用,流经M4、M5的电流也减小,因此节点B点的电压被拉低。MP的栅极电压降低,流经MP的电流增大,将输出电压拉高。正反馈电路2为:M8的栅极电压降低,由M8和M7构成负载为二极管连接的源跟随器,因此C点的电压随输出电压的降低而降低。M6的栅极电压降低,流经M6的电流减小,将B点的电压拉高。MP的栅极电压升高,流经MP的电流减小,将输出电压 V_{out} 拉低。负反馈电路1比正反馈电路2响应速度快,其会有一个平衡点,即流经M5、M6电流相等,因此可以得到一个稳定的电压输出。

[0031] 下面对电路进行定量分析:

[0032] 1. 负反馈电路1

[0033] 节点A处的电压是随输出电压 V_{out} 同步变化的。由图2可知M11的连接方式为二极管连接方式,因此处于饱和区,M12可能处于饱和区,也可能处于线性区。

[0034] 1.1 当M12处于饱和区

$$[0035] \quad I_{11} = \frac{1}{2} K_{11} (V_{GS11} - V_{TH})^2 \quad (1)$$

$$[0036] \quad I_{12} = \frac{1}{2} K_{12} (V_{GS12} - V_{TH})^2 \quad (2)$$

$$[0037] \quad V_{GS12} = V_{out} \quad (3)$$

$$[0038] \quad V_{GS11} = V_{out} - V_A \quad (4)$$

$$[0039] \quad I_{12} = I_{11} \quad (5)$$

[0040] 其中 $K_i = \mu_{n,p} C_{ox} (w/L)_i$ $i=1, 2, \dots$

[0041] 由式(1) (2) (3) (4) (5) 得

$$[0042] \quad V_A = V_{out} \left(1 - \sqrt{\frac{(W/L)_{11}}{(W/L)_{10}}} \right) - V_{TH} \left(1 - \sqrt{\frac{(W/L)_{11}}{(W/L)_{10}}} \right) \quad (6)$$

[0043] 对式(6) 求导得

[0044]
$$\frac{\partial V_A}{\partial V_{out}} = 1 - \sqrt{\frac{(W/L)_{11}}{(W/L)_{10}}} \quad (7)$$

[0045] 1.2当M12工作在三极管区时

[0046] 其电流公式为

[0047]
$$I_{12} = K_{12} \left[(V_{GS12} - V_{TH})V_{DS12} - \frac{1}{2}V_{DS12}^2 \right] \quad (8)$$

[0048] $V_{DS12} = V_A \quad (9)$

[0049] 由式(1)(5)可得

[0050]
$$V_{GS11} = V_{TH} + \sqrt{\frac{2I_{12}}{K_{12}}} \quad (10)$$

[0051] 由式(3)(4)(8)(9)(10)可得

[0052]
$$V_A = (V_{out} - V_{TH}) \left(1 + \frac{\sqrt{\left[\frac{(W/L)_{12}}{(W/L)_{11}} \right]^2 - 6 \frac{(W/L)_{12}}{(W/L)_{11}}}}{2 + \frac{(W/L)_{12}}{(W/L)_{11}}} \right) \quad (11)$$

[0053] 对式(11)求导可得

[0054]
$$\frac{\partial V_A}{\partial V_{out}} = 1 + \frac{\sqrt{\left[\frac{(W/L)_{12}}{(W/L)_{11}} \right]^2 - 6 \frac{(W/L)_{12}}{(W/L)_{11}}}}{2 + \frac{(W/L)_{12}}{(W/L)_{11}}} \quad (12)$$

[0055] V_A 是节点A电压, V_{GS} 是晶体管的栅源电压, V_{DS} 是晶体管的漏源电压, V_{TH} 是晶体管的阈值电压。 μ_n 是电子的迁移率, μ_p 是空穴的迁移率。 C_{ox} 是单位面积栅电容。 W 是导电沟道宽度, L 是导电沟道长度, (W/L) 是晶体管的宽长比。

[0056] 在式(7)中我们可以通过调节M10和M11宽长比,使它的值大于零,而式(12)其值大于零。因此,由式(7)和(12)可以看出,点A处的电压与输出电压之间的导数为正,因此它们之间呈正比关系。点A处的电压随输出的变化而变化。

[0057] 1.3如图2所示M1的栅极与节点A点连接

[0058] 则流经NMOS晶体管M1的电流为

[0059]
$$I_1 = \frac{1}{2} K_1 (V_A - V_{TH})^2 \quad (13)$$

[0060] M1的栅极电压升高,则由式(13)可知,电流增大。M1的栅极电压降低,则由式(13)可知,电流减小。

[0061] 由图2可知,M3、M4和M2、M5为两组电流镜结构,因此可得

[0062] $I_1 = I_{2,3} = I_{4,5} \quad (14)$

[0063] 当 I_1 增大时, $I_{4,5}$ 也随之增大,将节点B的电压拉高。

[0064] 2. 功率管MP

[0065] 流经MP的电流为

[0066]
$$I_P = \frac{1}{2} K_P (V_{GSP} - V_{TH})^2 \quad (15)$$

[0067] $V_{GSP} = V_{DD} - V_B$ (16)

[0068] 又输出电压为

[0069] $V_{out} = I_p \cdot Z_{out}$ (17)

[0070] Z_{out} 为输出阻抗。

[0071] 设点B的电压变化为 ΔV_B , 则由式 (15) (16) (17) 可得

[0072] $V_{out} = Z_L \cdot \frac{1}{2} K_P (V_{DD} - V_B - \Delta V_B - V_{TH})^2$ (18)

[0073] 由式 (18) 可知当节点B电压升高时 I_p 减小, ΔV_B 为正, 输出电压 V_{out} 降低, 恢复正常状态; 节点B电压降低时 I_p 增大, ΔV_B 为负, 输出电压 V_{out} 升高。

[0074] 总之, 当输出电压升高, 节点A电压升高, M1中的电流增大, 流经M4、M5的电流增大, 将节点B电压拉高, 输出电压降低。当输出电压降低, 节点A电压降低, M1中的电流减小, 流经M4、M5的电流减小, 将节点B电压拉低, 输出电压升高。可以得出其对输出端的反馈为抑制作用, 为负反馈。

[0075] 3. 正反馈电路2

[0076] 如图2所示, M8的栅极与输出电压 V_{out} 连接, 因此流经M8中的电流为

[0077] $I_8 = \frac{1}{2} K_8 (V_{out} - V_C - V_{TH})^2$ (19)

[0078] 设输出电压的变化为 ΔV_{out} , 则由式 (19) 可得

[0079] $I_8 = \frac{1}{2} K_8 (V_{out} + \Delta V_{out} - V_C - V_{TH})^2$ (20)

[0080] 由式 (20) 可得, 当输出电压升高时 ΔV_{out} 为正, 电流增大。当输出电压降低时 ΔV_{out} 为负, 电流减小。

[0081] 由图2可知, M6和M7为电流镜结构, 因此可得

[0082] $I_8 = I_7 = I_6$ (21)

[0083] 当输出电压升高时 ΔV_{out} 为正, 电流 I_8 增大, 流经M6的电流 I_6 增大, 将B点电压拉低。当输出电压降低时 ΔV_{out} 为负, 电流 I_8 减小, 流经M6的电流 I_6 减小, 将B点电压推高。

[0084] 由以上对功率管的分析可知, 输出电压升高时, B点电压降低, 输出电压 V_{out} 升高。输出电压 V_{out} 降低时, B点电压升高, 输出电压 V_{out} 降低。可以得出其对电路输出端的反馈为促进作用, 为正反馈。

[0085] 4. 稳态电路

[0086] 当电路正负反馈保持平衡的时候, 即其电流相等时, 本电路可以输出稳定的电压。

[0087] 流经M6的电流为

[0088] $I_6 = \frac{1}{2} K_6 (V_C - V_{TH})^2$ (22)

[0089] 由式 (13) 和式 (21) 可得

[0090] $V_C = \sqrt{\frac{(W/L)_1}{(W/L)_6}} (V_A - V_{TH}) + V_{TH}$ (23)

[0091] 由图2可知M7、M8构成负载为二极管连接方式的源跟随器, 因此可以得到

[0092] $V_C = A_v V_{out}$ (24)

[0093] 由以上分析可知,点A处的电压与输出电压 V_{out} 成比例,因此可设点A处的电压近似为

$$[0094] \quad V_A \approx \alpha V_{out} \quad (25)$$

[0095] 由式 (23) (24) (25) 可得输出电压为

$$[0096] \quad V_{out} \approx \frac{V_{TH} \left(1 - \sqrt{\frac{(W/L)_1}{(W/L)_6}} \right)}{A_v - \alpha \sqrt{\frac{(W/L)_1}{(W/L)_6}}} \quad (26)$$

[0097] 如图3,当 V_{out} 升高时,负反馈环路1中,点A的电压升高,流经M4、M5的电流增大,将点B的电压拉高;正反馈环路2中,点C的电压升高,M6中的电流增大,将点B的电压拉低。负反馈电路1和正反馈电路2在B点的作用是相反的,一个将其上拉,一个将其下拉。当其平衡时,功率管MP的栅极电压稳定,输出稳定的电压。

[0098] 如图4,当 V_{out} 降低时,负反馈环路1中,点A的电压降低,流经M4、M5的电流减小,将点B的电压拉低;正反馈环路2中,点C的电压降低,M6中的电流减小,将点B的电压拉高。负反馈电路1和正反馈电路2在B点的作用是相反的,一个将其下拉,一个将其上拉。当其平衡时,功率管MP的栅极电压稳定,输出稳定的电压。

[0099] 本发明创造的双反馈LD0电路利用两个相互平衡的反馈电路应对输出电压的变化,瞬态响应能力强,没有相应的基准电路,可以有效降低LD0电路的功效,同时具有静态电流低的特点,解决典型结构的LD0电路难以应用于低功耗低压供电领域的问题。

[0100] 通过仿真,本发明创造的LD0电路可以在10ns以内便能使LD0电路的负载电压恢复正常状态,同时静态电路在1mA以下,电路功耗降低20%,相对于传统LD0电路具有明显优势。

[0101] 以上对本发明的较佳实施方式进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明精神的前提下还可作出种种的等同变型或替换,这些等同的变型或替换均包含在本申请权利要求所限定的范围内。

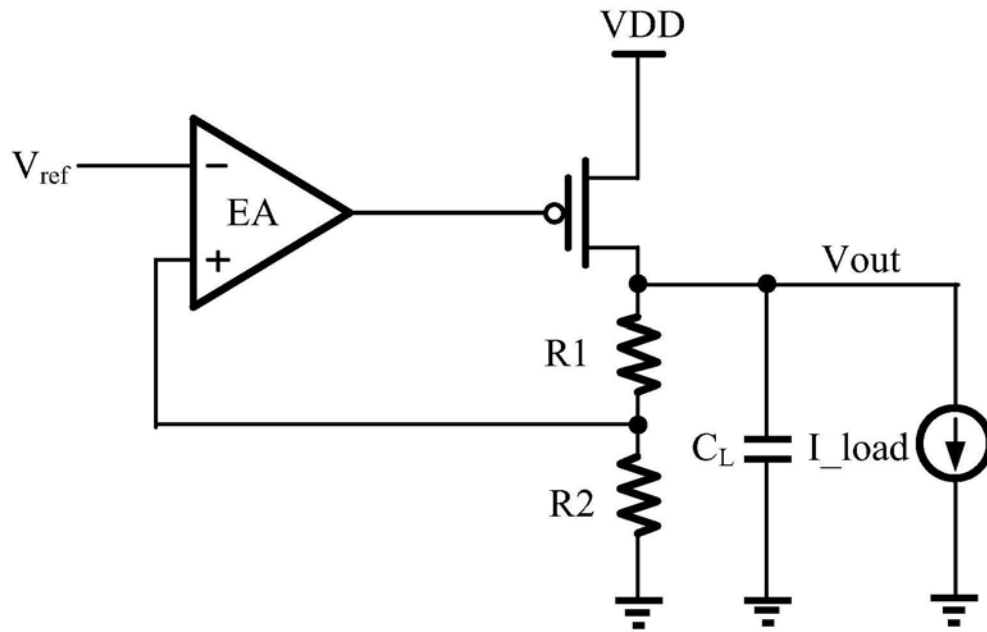


图1

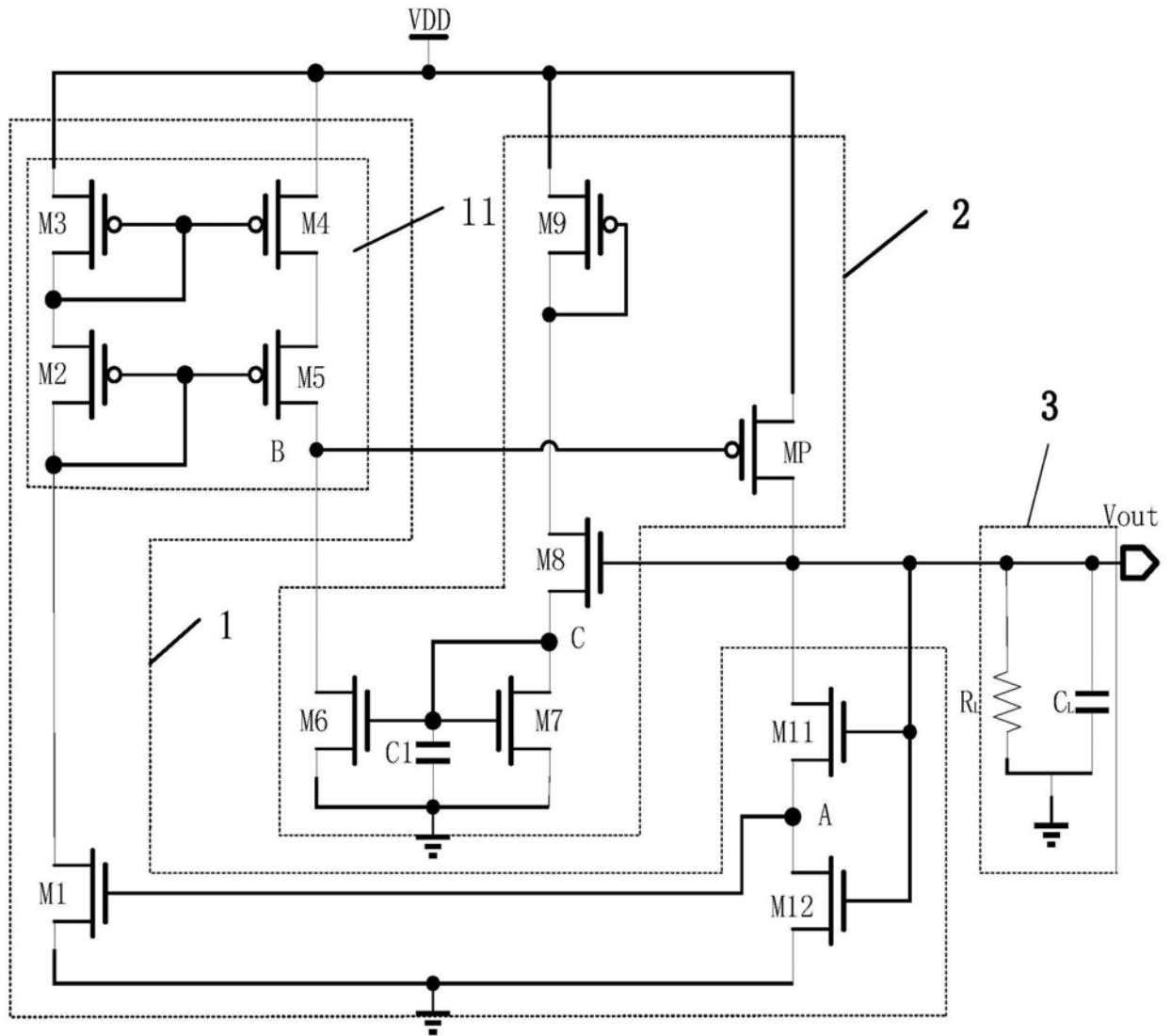


图2

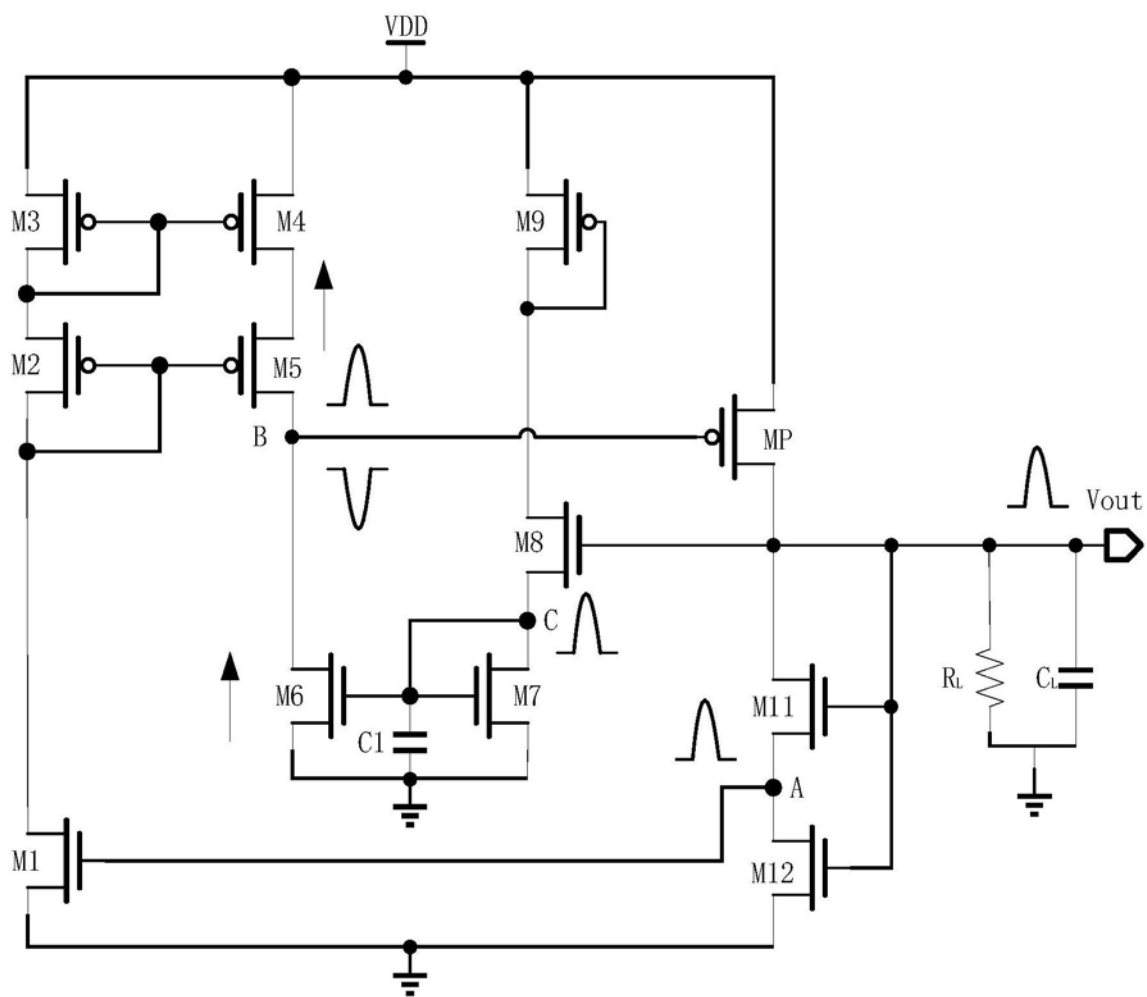


图3

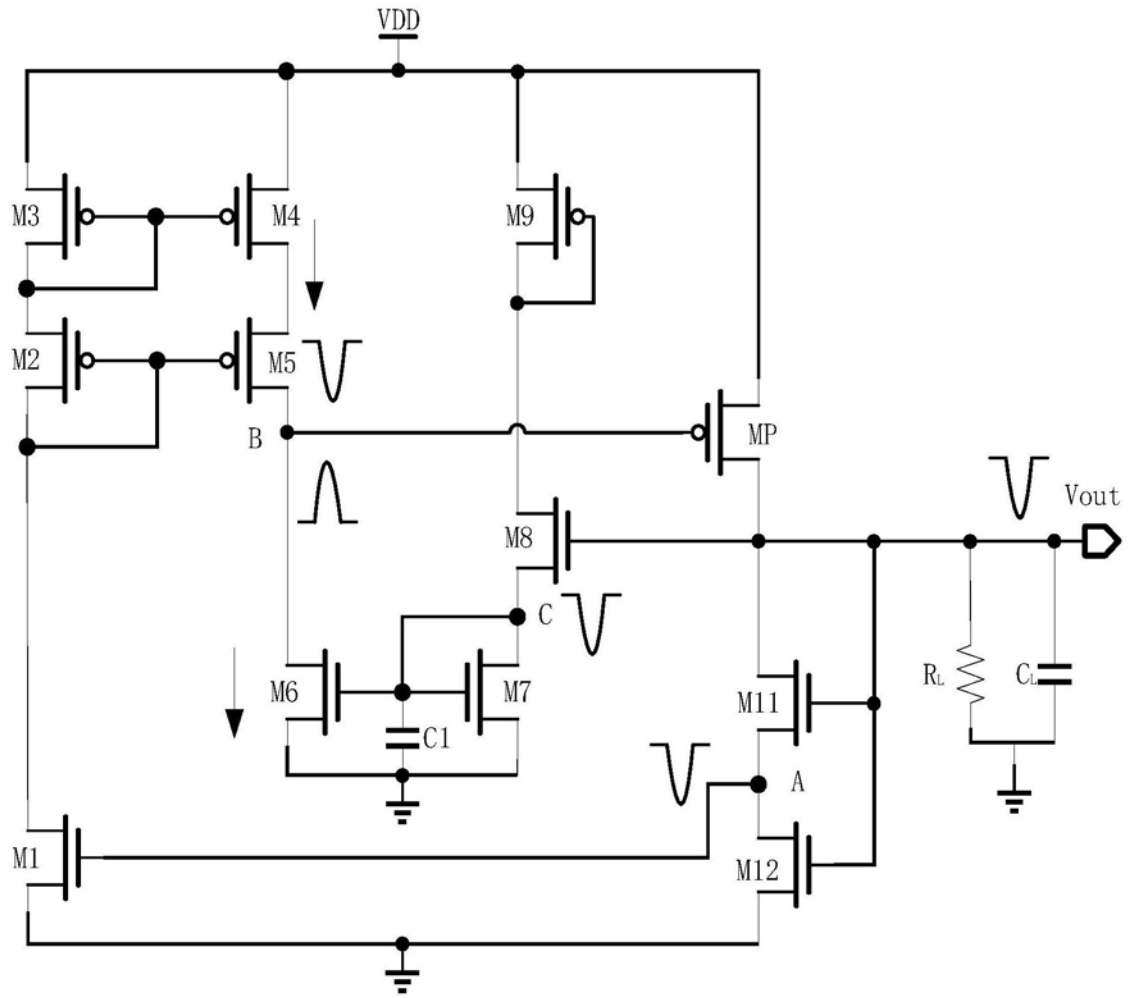


图4